

1/5/12

DIALOG(R) File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

DESI AVAILABLE COPY

03024850 \*\*Image available\*\*  
SEMICONDUCTOR DEVICE

PUB. NO.: 02-000350 [JP 2000350 A]

PUBLISHED: January 05, 1990 (19900105)

INVENTOR(s): WATABE TAKAO

ITO KIYOO

HORI RYOICHI

KITSUKAWA GORO

KAWAJIRI YOSHIKI

KAWAHARA TAKAYUKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 63-108990 [JP 88108990]

FILED: May 06, 1988 (19880506)

INTL CLASS: [5] H01L-027/04; G11C-011/413; H01L-027/108

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: E, Section No. 902, Vol. 14, No. 133, Pg. 37, March  
13, 1990 (19900313)

#### ABSTRACT

PURPOSE: To form a semiconductor device with high stability and high reliability by controlling the operating voltage and the operating current of a circuit in the semiconductor device, according to the change of manufacturing condition and the use condition.

CONSTITUTION: The title semiconductor device is provided with a controlling circuit 3 having a signal generating means or a controlled internal power supply voltage means. The former generates a signal changing in accordance with the change of the manufacturing condition and the use condition. The circuit 3 generates a controlling signal or a controlled internal voltage according to the change of the manufacturing condition or the use condition, and controls the operation of a circuit 2, via a control line 5. Thereby, characteristics of the circuit 2 are kept in a constant relation according to the manufacturing condition and the use condition, so that a semiconductor device with high stability and high reliability can be formed.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑫ 公開特許公報 (A) 平2-350

⑪ Int. Cl.<sup>5</sup>  
 H 01 L 27/04

識別記号 G  
 廃内整理番号 7514-5F

⑬ 公開 平成2年(1990)1月5日

8522-5B G 11 C 11/34 3 3 5 Z  
 8624-5F H 01 L 27/10 3 2 5 V※

審査請求 未請求 請求項の数 20 (全37頁)

⑭ 発明の名称 半導体装置

⑮ 特願 昭63-108990

⑯ 出願 昭63(1988)5月6日

優先権主張 ⑰ 昭62(1987)5月22日 ⑯ 日本(JP) ⑮ 特願 昭62-123797

⑰ 発明者 渡部 隆夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 伊藤 清男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 堀 陵一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑯ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 複数の半導体素子から構成される複数の内部回路からなる半導体装置において、該半導体装置はその製造条件あるいは使用条件の変動に応じて変化する信号発生手段あるいは制御された内部電源電圧手段を有する制御回路を備え、該半導体素子あるいは回路の少なくとも一部がその動作を該信号もしくは電圧によって制御されることを特徴とする半導体装置。

2. 上記特許請求の範囲第1項に記載の半導体装置において、上記制御回路は、上記内部回路の特性変化を検出する手段を備え、上記特性変化に応じて制御を行なうことを特徴とする半導体装置。

3. 上記特許請求の範囲第1項に記載の半導体装置において、上記内部回路と同様の特性変化を示すモニタ回路を設け、該モニタ回路の特性変

動を検出して上記制御を行なうことを特徴とする半導体装置。

4. 上記特許請求の範囲第2項記載の半導体装置において、上記制御回路は、上記内部回路の発生する複数の信号のタイミングの変化を検出して、上記タイミングの変化に応じて制御を行なうことを特徴とする半導体装置。

5. 上記特許請求の範囲第3項記載の半導体装置において、上記制御回路は、上記モニタ回路の発生する複数の信号のタイミングの変化を検出して、上記タイミングの変化に応じて内部回路の制御を行なうことを特徴とする半導体装置。

6. 上記特許請求の範囲第1項記載の半導体装置において、上記制御回路は、上記内部回路に含まれる駆動回路動作速度を制御することを特徴とする半導体装置。

7. 上記特許請求の範囲第6項記載の半導体装置において、上記制御をカレントミラーレイ回路で行なうことを特徴とする半導体装置。

8. 上記特許請求の範囲第6項記載の半導体装置

において、上記制御は、駆動回路と電源の間にそう入してMOSトランジスタのゲート電圧を制御することにより行なうことを行なうことを特徴とした半導体装置。

9. 上記特許請求の範囲第1項記載の半導体装置において、上記制御回路は、上記内部回路に含まれる差動アンプを制御することを行なうことを特徴とした半導体装置。

10. 上記特許請求の範囲第9項記載の半導体装置において、上記差動アンプは、負荷抵抗と電流の積、すなわち出力増幅が常に一定となるように制御したことを特徴とした半導体装置。

11. 複数の半導体素子から構成される複数の内部回路からなる半導体装置において、該半導体装置はその製造条件あるいは使用条件の変動に応じて変化する信号発生手段あるいは制御された内部電源電圧手段を有する制御回路を備え、該半導体素子あるいは回路の少なくとも一部がその動作を該信号もしくは電圧によって制御されることを特徴とする半導体装置において、上記

外部電源電圧が所望の範囲では外部電源電圧の変動によらず一定で、外部電圧が所望の範囲を超えると外部電圧に伴ない変化する手段を備えたことを特徴とする半導体装置。

15. 特許請求の範囲第13項記載の半導体装置において、上記電圧変換回路はバイポーラトランジスタを含んで構成したことを行なうことを特徴とする半導体装置。

16. ダイナミックメモリを構成する回路群と、該回路群の動作の基準となる電圧を発生する制御回路を含み、上記基準となる電圧の温度による変動および外部電源電圧による変動を補償する手段を備えたことを特徴とする半導体装置。

17. 上記特許請求の範囲第16項記載の半導体装置において、上記ダイナミックメモリは、情報を蓄積するメモリセルの蓄積電圧を、上記基準となる電圧により制御することを行なうことを特徴とする半導体装置。

18. 上記特許請求の範囲第13項記載の半導体装置において、スタティックメモリを構成する回

電源電圧のうち少なくとも一部は、半導体装置内部に設けた電圧変換回路により電源電圧および温度による変動を補償され、少なくとも上記内部回路の一部は、上記電圧変換回路の出力電圧を電源として動作することを行なうことを特徴とした半導体装置。

12. 上記特許請求の範囲第11項記載の半導体装置において、上記内部回路は、駆動回路を含み、上記制御は上記変動を補償された電源と駆動回路の間にそう入したMOSトランジスタのゲートを制御することにより行なうことを行なうことを特徴とした半導体装置。

13. 基準電圧発生回路と該基準電圧発生回路の出力電圧を増幅する電圧増幅器より成る電圧変換回路を含み、該電圧変換回路の出力電圧の温度および外部電源電圧による変動を補償する手段を備え該出力電圧も少なくとも一部の回路の電源電圧に用いたことを特徴とする半導体装置。

14. 上記特許請求の範囲第13項記載の半導体装置において、上記電圧変換回路の出力電圧は、

路群と、該回路群の動作の基準となる電圧を発生する制御回路を含み、上記基準となる電圧の温度による変動および外部電源電圧による変動を補償する手段を備え、上記スタティックメモリのメモリセル保持電流を供給する電圧を上記基準となる電圧をもとに制御したことを特徴とする半導体装置。

19. 上記特許請求の範囲第14項記載の半導体装置において上記所定の範囲が温度により変動することを補償する手段を備えたことを特徴とする半導体装置。

20. 半導体チップと、該半導体チップ上に設けられ、外部からの電源電圧を受ける電源端子と、半導体チップ上に設けられた内部回路と、半導体チップ上に設けられ、上記電源端子から受けた外部電源電圧を変換して、上記内部回路に該変換した電源を供給する電源供給回路と、半導体チップ上に設けられ、上記電源供給回路を制御する制御回路とを有し、

上記制御回路は、外部電源電圧検知手段及び、

又は温度検知手段を有し、該外部電源電圧検知手段および、又は、温度検知手段からの信号に応答して、上記内部回路への供給電源電圧を変化させ該内部回路の動作速度を一定に保つように動作することを特徴とする半導体装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は半導体装置の性能改善に係り、特に高集積の半導体装置の高安定化、高信頼化に適した半導体装置に関する。

#### 〔従来の技術〕

近年の半導体装置の高集積化の進歩を目覚ましく、MOSダイナミック形メモリ（以下DRAMと略記する）を例にとると1Mビットが量産期、4Mビットが試作完了期をそれぞれ迎え、研究の主体は16Mビットへと移行しつつある。このように高集積の半導体装置を実現するためには、これを構成する素子あるいは配線などの寸法を $0.5\text{ }\mu\text{m} \sim 1\text{ }\mu\text{m}$ と極めて微細にする必要がある。このように微細な素子、あるいは配線などを精度よ

く加工、製造することは極めて困難で、製造ばらつきが大きくなる問題を生じている。MOSDRAMを例にすると、MOSトランジスタの特性を支配するゲート長やしきい電圧が加工寸法や不純物拡散濃度などの変動により、大きく変化し、実際の使用状態での電源電圧、周囲温度などの変動も考慮すると、DRAM全体のアクセス時間の変動範囲は2~3倍にも及ぶ。また、この製造ばらつきは信頼度にも大きい影響を与える。すなわち、素子の絶縁破壊や特性劣化（ホットキヤリアなどによる）などを生じる素子耐圧が微細化により低下し、さらに、その特性は加工寸法のばらつきなどに大きく支配されるためである。

従来、特性の安定化や信頼度の向上を図るものとして、特願昭56-57143号、56-168698号などに半導体装置チップ内に設けた電圧変換手段により、外部電源電圧を低くして、チップ内の微細素子を動作させる技術が開示されている。

#### 〔発明が解決しようとする課題〕

しかし、上記従来技術には、電気的特性や信頼

度特性の製造条件あるいは使用条件などの変動による影響については充分考慮がなされておらず、高安定、高信頼の半導体装置の実現は困難であつた。

又、製造条件の変動による影響についての考慮がなされていないため、量産時に所望の特性を満たす良品の収率が悪くコストアップを招くという問題もあつた。

したがつて、本発明の目的は、製造条件や使用条件が変動しても、電気的特性や信頼度特性の変化しない、安定で信頼度の高い半導体装置を実現することにある。

#### 〔課題を解決するための手段〕

上記目的は、製造条件や使用条件の変動に応じて、半導体装置内の回路の動作電圧、動作電流を制御することにより達成される。

#### 〔作用〕

半導体装置内の素子もしくは回路の動作電圧、動作電流は、電気的特性や、信頼度特性に応じて制御される。これにより、高安定、高信頼の半導

体装置が実現できる。

#### 〔実施例〕

第1図は本発明の基本概念を示す一実施例である。同図で1は半導体チップ、2は半導体装置の本来の内部回路、3は本発明の制御回路であり、製造条件や使用条件の変動に応じた制御信号あるいは制御された内部電圧を発生し、制御線5を介して回路2の動作を制御する。5は1個の信号として示したが、回路2の回路に応じて複数個用意される場合もある。

本実施例によれば、回路2の特性は製造条件や使用条件に応じて、特性がある一定の関係に保たれるため、高安定、高信頼の半導体装置を実現できる。

第2図は本発明の他の実施例であり、回路2の動作特性、たとえば動作速度、動作電流などを検知線6を介して検出し、これに応じて制御信号を発生する点で異なる。

本実施例によれば、2の動作特性を直接検知して、制御信号を発生するので、第1図に比べさら

に高精度の制御が可能になり、より高安定、高信頼の半導体装置が実現できる。

ここで検知線 6 は必要に応じて複数本設けてもよいのはもちろんである。

第 3 図は本発明の他の実施例であり、2 の動作特性を検知するために、2 と類似の特性を持つ検出回路 4 を設けた点で第 2 図の実施例と異なる。

本実施例によれば、回路 2 内に動作特性を検知するためには適当な回路部が無い場合でも、回路 2 の特性を 4 を介して間接的に検知でき、これによって、回路 2 の特性がある一定の関係を保つように制御することができる。

なお、ここで 4 も 5 によって制御しているが、これは、4 の特性を 2 と同様に変化させるためのものであり、目的に応じて 5 とは無関係に動作させることも考えられる。

第 4 図は第 1 図の実施例を応用した実施例である。本実施例では、制御回路 3 により電源線 5 I を通じて内部回路 2 の電源電圧を供給する。本実施例は例えば内部回路 2 を微細な素子で構成する

場合などに適している。すなわち、5 I の電位を内部回路 2 を構成する素子の耐圧より低い値に設定すれば、制御回路 3 により微細素子より成る高集積の半導体装置を安定かつ高い信頼性を保つまま動作させることができる。さらに、本実施例によれば、外部電圧を低くする必要がないため、ユーザーに負担をかけることがない。例えば、DRAMなどでは、256Kビット、1Mビット、4Mビットと集積度を増すために素子の微細化を行なう必要があるが、この場合、耐圧の低下に対処して外部電圧を下げるとは、従来品との互換性の点から望ましくないので本実施例は有効である。なお、第 4 図では制御線を複数示したが場合によっては内部回路 2 の電圧のみを制御回路で制御することにより内部回路の特性の安定化を図つてもよい。内部電圧は外部電源 Vcc に対する内部電圧を変動を補償した上で、温度などの外部条件、製造条件の変動による内部回路の特性変化を補償するように変化させることもできる。なお、第 4 図の実施例においては、外部電圧 Vcc が直接印加

される制御回路は、耐圧が Vcc 以上の素子を用いて構成することはもちろんである。しかし、場合によっては、集積度を向上するため、あるいは、制御回路と内部回路の特性を一致させるために制御回路の一部を耐圧の低い微細素子で構成する必要のあることもあり得る。その場合には、第 5 図のように、制御回路 3 の内部に電圧変換回路 3 A を設けてその出力線 5 I を通して Vcc より低い電圧を供給し、内部回路 2 および制御回路 3 の中の耐圧の低い部分 3 B を制御すればよい。このように第 5 図の実施例によれば制御回路も含めて微細化された素子で構成できるのでより集積度が向上する。さらに制御回路 3 B と内部回路 2 を同一の特性をもつ素子で構成できるので、内部回路 2 の特性変動を制御回路 3 B 内の回路の特性変動をもとに精密に制御できるなどの利点がある。なお、第 4、第 5 図の実施例では必要に応じて内部回路内の一端の耐圧の高い素子を外部電圧 Vcc で動作させてもよい。ところで第 2 図、第 3 図において耐圧の低い微細素子を用いる場合にも第 4 図、第

5 図と同様にして構成できることはもちろんである。又、第 1 図から第 5 図の実施例では、制御回路をチップ内に 1 個ずつ設けた例を示したが、必要に応じて、内部回路 2 をいくつかに分けて、別各の制御回路を設けてもよい。又、その場合に第 1 図から第 5 図の各構成を必要に応じて組み合わせてもよいことはもちろんである。上記のように内部回路 2 をいくつかに分けてその特性を制御する場合には、個々の回路の機能により最適の特性に制御することが可能となる。第 6 図は回路の動作速度を異なる一定値に制御した場合を示したものである。第 6 図において、破線 C<sub>11</sub> は制御回路のない従来の回路の動作速度を示したものであり、製造条件、使用条件の変化に応じて動作速度は大きく変化している。これに対して制御回路を複数設けた場合には、高速動作を必要とする回路は B<sub>11</sub> のように高速に一定に保ち、低速動作を必要とする回路は A<sub>11</sub> のように低速に一定に保つことが可能である。たとえば、出力回路などでは、出力の充放電を高速に行なうと、電源にノイズが生

じて内部回路の動作あるいは近くに配置された半導体装置に悪影響を与える。そのような場合には出力回路のみを迅速に制御すれば、全体の速度を落とすことなく動作速度を一定にできる。なお、ここでは製造条件、使用条件の変動により回路動作が一定となるように制御する例を示したが、必要に応じて所望の要因に対して所望の依存性を持たせてもよい。例えば温度の上昇に伴い回路の動作速度が高速となるような制御も可能である。

その場合には半導体装置内の配線あるいは半導体装置間の配線の抵抗の遅延が温度により増大するのを相殺するように制御することにより半導体装置あるいはそれを含んで構成されるシステム全体の速度を一定に保つことができる。第1図～第6図の実施例によれば、製造条件により回路の特性が変動する事がないので、量産における良品の収率が向上する。さらに使用条件により特性が変動しないので本実施例の半導体装置を用いて構成したコンピュータなどのシステムの信頼性も向上する。さらに場合によつては回路3内の2つ

の回路において、両者の動作の同期をとらねばならないときがあるがこのようないくには本実施例を用いると回路特性の変動がないためタイミングマージンを極小に設定することができる。したがつてその分、半導体装置の速度を高速化できるという利点もある。例えば、DRAMでは、メモリセルアレーと周辺回路の動作の同期をとる必要があるが、このような場合にも、本発明の適用によりタイミングマージンを極小とできるため高速化が可能となる。このようなことは、2つ以上の半導体装置の間において動作の同期をとらねばならないときも同様で本発明を応用した半導体装置を用いることにより複数の半導体装置より構成されたコンピュータなどのシステムの動作速度も高速化できる。なお、第4図、第5図においては、正電源をV<sub>cc</sub>としたいわゆるTTLインターフェースを仮定したが、ECLでも同様である。以下でもTTLインターフェースを中心に説明するが、本発明はこれに限定されることなくECLインターフェースにも応用できる。

以下では具体的な回路の実施例を示す。まず、集積回路の基本回路である駆動回路について、その特性を制御する方法について述べる。

第7図は、回路2内の駆動回路の特性を制御するための具体的実施例の一つである。同図では回路の電源電圧を変えることにより、特性を制御する例を示している。ここでは2を構成する要素回路2'として、PチャネルMOSトランジスタT<sub>P1</sub>、NチャネルMOSトランジスタT<sub>N1</sub>からなるCMOSインバータを用いているが、この回路はNAND、NOR回路など他の論理回路、さらにはバイポーラトランジスタで構成した回路あるいはバイポーラとMOSトランジスタの組み合せで構成した回路、これらの各回路を任意に複数個組み合せた回路などのいずれでもよい。

本実施例によれば、5の電圧V<sub>cont</sub>を変えることにより、2'すなわち2全体の特性を制御することができ、高安定、高信頼の半導体装置を実現できる。V<sub>cont</sub>の値は制御の対象となる2'の回路形式と目的によって定まる。例えば、第7図

(A)に示した。CMOSインバータの動作速度を一定化し、信頼度を高めるためには、各種の変動要因に対して、同図(B)のようにV<sub>cont</sub>を変えればよい。すなわち、CMOSインバータの遅延時間t<sub>d</sub>は、主な変動要因であるMOSトランジスタのゲート長L<sub>g</sub>、しきい電圧V<sub>T</sub>、ゲート酸化膜厚t<sub>ox</sub>、チャネルコンダクタンスβ<sub>o</sub>、温度T(絶対温度)、負荷容量C<sub>L</sub>に対して、ほぼ

$$t_d = C_L \cdot \frac{1}{\beta_o} \cdot L_g \cdot \frac{1}{(V_{cont} - V_T)} \cdot T^{1.0} \quad \cdots (1)$$

の関係にある。実際の回路においては、種々の事情によりこの関係式から多少ずれることもあるが、CMOS回路全般において、式(1)で示した傾向はほぼ保たれる。したがつて、この式に応じてt<sub>d</sub>を一定に保つように、V<sub>cont</sub>を変化させればよい。すなわち、定性的な傾向としては、同図(B)のように各変動要因(ただしβ<sub>o</sub>はその逆数)が大きくなるあるいは高くなると共に、V<sub>cont</sub>の値が高くなるようにすれば、t<sub>d</sub>をほぼ一定に保つ

ことができる。これにより、製造条件や使用条件が変化しても動作速度を一定に保つことができる。また本実施例においては、温度変化にも応答するので、半導体装置自体の待機時と通常動作時などの動作状態により、チップの発熱量が異なるために生じる温度変動あるいは周囲温度の変動に対しても性能を一定に保つことができる。

なお、式(1)においては、P/N両チャネルのMOSトランジスタで、共通してL<sub>g</sub>, V<sub>T</sub>, t<sub>ox</sub>, β<sub>o</sub>を定義したが、実際にはそれぞれ別の値となる場合が多い。しかし、両チャネルでは電圧と電流の特性が異なるのみで、式(1)の関係はそのまま成立するので、ここでは、特に必要な場合を除き、区別せずに取り扱うことにする。

なお、場合によつては回路の速度を一定にせず、所望のパラメータに対して所望の依存性をもたせてもよいことは前記したとおりである。例えば、前記したように温度上昇に伴つて回路の速度を高速にしたい場合には、(1)式より

$$(V_{CONT} - V_T) \propto T^{-1.5}$$

たとえ、長期間の動作により、ホットキャリア現象その他により、しきい電圧が高くなつたり、チャネルコンダクタンスが小さくなつたとしても、V<sub>CONT</sub>は同図(B)のように制御されるので、特性を一定に保つことができる。

先に述べたように、第7図の実施例は2'としてCMOSインバータに限らず種々の回路を用いることができる。例えば、第8図のようなBICMOSインバータを用いてもよい。この場合には、出力をバイポーラトランジスタで駆動できるのでより高速の動作を実現できる。又、第8図ではバイポーラトランジスタQ<sub>N2</sub>のコレクタを外部電源V<sub>cc</sub>に接続した。これにより大部分の出力電流は外部電源V<sub>cc</sub>より供給されるため制御回路3の駆動能力を小さくでき、設計が容易となる。なお、バイポーラトランジスタの耐圧が低い場合には、制御回路3の駆動能力を大きくしてQ<sub>N2</sub>のコレクタをV<sub>CONT</sub>としてもよい。第6図の2'として第9図、第10図に示したような回路を用いることもできる。

とせず、

$$(V_{CONT} - V_T) \propto T^{-n}$$

として

$$n > 1.5$$

とすればよい。

次に、素子耐圧においては、絶縁破壊耐圧は、L<sub>g</sub>, t<sub>ox</sub>が小さくなると低下するので、やはり同様にV<sub>CONT</sub>を同図(B)のように制御すればよい。また近年注目されているMOSトランジスタのドレイン近傍で発生した、高エネルギーのキャリアがゲート酸化膜中に注入されてしまい電圧が上昇し、チャネルコンダクタンスが低下するなどの特性が劣化する現象のため、動作電圧の上限が規定される耐圧(以下ホットキャリア耐圧と称する)も、L<sub>g</sub>, t<sub>ox</sub>が小さく、かつ温度Tが低くなる点、低くなるので、これに関してもV<sub>CONT</sub>を同図(B)のように制御すればよい。これにより、たとえ、製造ばらつきによってホットキャリア耐圧が低くなつたとしても、V<sub>CONT</sub>も低くなるので特性劣化などの問題を生じることはない。また、

第9図は、第7図の実施例にT<sub>N3</sub>, T<sub>N4</sub>からなる出力パッファ回路を附加したものである。本実施例の動作速度、出力電圧は第7図と同様にV<sub>CONT</sub>で制御されるが、出力の負荷容量C<sub>L</sub>の駆動電流はV<sub>cc</sub>から供給されるため、第8図の実施例と同様に制御回路3の駆動能力を小さくでき、設計が容易となる。

第10図はT<sub>N3</sub>をバイポーラトランジスタQ<sub>N3</sub>で置き換えた実施例である。Q<sub>N3</sub>の駆動能力が大きいため、より高速に負荷を駆動できると同時に、V<sub>CONT</sub>の駆動能力をさらに軽減できる。

第8図～第10図の実施例においても、第7図と同様にV<sub>CONT</sub>によつて、回路特性を制御することができる。

第11図は、駆動回路の特性を制御する他の具体的な実施例である。同図では第7図における要潤回路2'の部分のみを示しており、T<sub>P1</sub> T<sub>N1</sub>のCMOSインバータと外部電源電圧V<sub>cc</sub>および接地間にPチャネルMOSトランジスタT<sub>P2</sub>, NチャネルMOSトランジスタT<sub>N2</sub>を挿入し、そのゲ

ート電圧を制御することにより、インバータの動作電流を制御し最終的に動作速度を制御している。すなわち、電流を大きくする速度は速くなり、電流を小さくすると速度は遅くなる。遅延時間  $t_d$  は、各々の駆動要因に対して、式(1)と示したと同様な傾向を持つ。したがつて、同図(B)に示すように、 $L_g$ ,  $V_T$ ,  $t_{ox}$ ,  $1/\beta_0$ ,  $T$ ,  $C_L$  が大きくなるにつれて、各々の電流が増えるようす。すなわち、PチャネルMOSのゲート制御用の  $V_{CONT}$  は、高い値から低い値へ、NチャネルMOSのゲートを制御する  $V_{CONT'}$  は低い値から高い値へ変わるようにすれば、 $t_d$  をほぼ一定に保つことが可能になる。

本実施例によれば、回路の動作電流は電源電圧から直接供給され、 $V_{CONT}$ ,  $V_{CONT'}$  は MOSトランジスタのゲートのみを駆動すればよいので、制御回路の駆動能力を小さくでき、設計が極めて容易になる。なお、本実施例において、P, N両チャネルMOSトランジスタで制御する方式としたが、必要に応じてそのいずれか一方のみを設

ると pMOS  $T_{P2}$ , nMOS  $T_{N4}$  がオン、nMOS  $T_{N3}$ ,  $T_{N2}$ ,  $T_{N1}$  がオンする。その結果、バイポーラトランジスタ  $Q_{N3}$  がオンし、 $Q_{N4}$  はオフする。このとき、 $Q_{N3}$  を流れるベース電流は  $V_{CONT}$  がゲートに印加される  $T_{P1}$  により制御できる。したがつて出力の充電時の速度を、 $V_{CONT}$  により制御できる。一方、入力 IN が高レベルとなると、バイポーラトランジスタ  $Q_{N3}$  がオフ、 $Q_{N4}$  がオフして出力の放電が開始される。このとき  $Q_{N4}$  のベース電流は、出力 OUT より供給されるがこれは  $V_{CONT'}$  により制御できるので出力の放電速度は  $V_{CONT'}$  により制御できる。このようにして本実施例では BiCMOS 回路の動作速度を制御することができる。なお、BiCMOS回路の速度を制御するには、第11図において D R I V の部分を第12図(B)のように単純に BiCMOS回路で置きかえてもよい。この場合、電流は第11図(A)の MOSトランジスタ  $T_{P2}$ ,  $T_{N2}$  できまるため、第12図(A)のようにベース電流のみを制御する場合に較べて高精度に制御できる。又、第11図の回路に較べ

けることも考えられる。なお、第11図の実施例においては、MOSトランジスタ  $T_{P1}$ ,  $T_{N1}$  のゲート巾を  $T_{P2}$ ,  $T_{N2}$  に較べて大きくするなどにより、 $T_{P1}$ ,  $T_{N1}$  のオン抵抗を  $T_{P2}$ ,  $T_{N2}$  より大きくしておけば、 $T_{P1}$ ,  $T_{N1}$  を流れる電流は  $T_{P2}$ ,  $T_{N2}$  のオン抵抗で決まり、より制御しやすくなる。

第11図では、インバータの例を示したが、本実施例はこれに限らず NAND回路、NOR回路など様々な論理回路にも適用できる。すなわち、第11図において駆動回路の機能を持つ D R I V を論理回路におきかえればよい。

第12図(A), (B) は、第11図の制御法を CMOS に較べて高駆動能力である BiCMOS の駆動回路に適用した例である。よく知られているように BiCMOS では、MOSトランジスタによりバイポーラトランジスタのベース電流を制御し、その電流をバイポーラトランジスタで増幅して負荷容量を駆動する。したがつて (A) のようにベース電流を制御することにより回路の速度を制御できる。第12図(A)において入力 IN が低レベルとな

ると、バイポーラトランジスタの駆動能力の分だけ、D R I V 内の MOSトランジスタを小さくできるので入力 IN からみた入力容量が小さいという利点がある。すなわち前段の負荷が軽いため高速化ができる。

第11図のように電源と駆動回路との間に MOSトランジスタを挿入して電流を制御する方法は他にも応用できる。第13図は入力振巾より高い出力振巾を得るためのレベル変換回路に適用した例である。第14図を用いて第13図の回路動作を説明する。Eが高電位の状態で入力 IN が高電位  $V_A$  になると nMOS  $T_{N3}$  を通して Fの電位は  $V_A - V_{T11n}$  の電位となる。次いで Eが低電位になると、pMOS  $T_{P3}$  がオンし Fの電位は  $V_H$  となる。この結果 pMOS  $T_{P1}$  がオフ、nMOS  $T_{N1}$  がオンとなり、出力 OUT は  $0V$  になる。なお Fが高電位  $V_H$  に上昇する時、A, Cの電位は  $V_A$  であるので、 $T_{N3}$  はオフであるので Fから Cへ電流が流出して Fの電位が下がることはない。一方、Eが高電位の状態で IN が低電位になると

$T_{N1}$ がオンし、 $F$ も $I_N$ と同じ低電位になる。この結果 $T_{P1}$ がオン、 $T_{N2}$ がオフし、出力 $OUT$ が高電位 $V_H$ に充電される。なおこの回路では第9回の波線に示す様に $I_N$ が高電位 $V_A$ になってから、 $E$ が低電位になるまでの期間 $t_{CE}$ が長いと $F$ の高電位は $V_A - V_T$ にしばらくとどまるので。

$T_{P1}$ 、 $T_{N1}$ に貫通電流が流れ、 $OUT$ が不十分な低電位にとどまる期間が存在する場合がある。したがつて $t_{CE}$ の時間が短かくすることが望ましい。そのためには $I_N$ が高電位になると同時に $E$ を低電位に切換えるべき。これにより上記問題は解決できる。

以上のように第13回の実施例によれば、入力 $I_N$ の振幅 $V_A$ を高振幅 $V_H$ に変換することができる。このとき、MOSトランジスタ $T_{P2}$ 、 $T_{N2}$ により電流を制御できるため、所望の一定速度で動作させることができる。第13回の実施例は、例えばダイナミックメモリのワードドライバなど入力電圧より高い出力電圧を得るために回路として有効である。第15回は、駆動回路の速度を制

御するための他の実施例である。本実施例は、第11回における電流制御用のMOSトランジスタより直接出力を得る様にノンインバータを構成した例である。第15回において入力電圧が高レベルとなるとpMOS $T_{P1}$ 、 $T_{P2}$ がオフ、nMOS $T_{N1}$ 、 $T_{N2}$ がオンする。この結果、pMOS $T_{P2}$ のゲートは $V_{CONT}$ となり、nMOS $T_{N2}$ のゲートは $0V$ となる。これにより $T_{P2}$ がオフ、 $T_{N2}$ がオンして出力には $V_{CONT}$ で所望の値に制御された電流が流れ負荷を充電する。入力 $I_N$ が低レベルになると逆に $T_{P2}$ がオフ、 $T_{N2}$ がオンして放電動作が始まり $OUT$ は $0V$ となる。このとき $T_{N2}$ のゲート電圧は $V_{CONT'}$ であるので、 $V_{CONT}$ により放電の速度も制御できる。本実施例では、電源と出力の間に2つのMOSトランジスタが直列に接続されることができないため高速動作に適している。又、直列に接続した2つのトランジスタの特性変動の影響を考慮しなければならない第11回の場合と較べて制御が容易である。

以上駆動回路の動作速度を制御する方法につい

て述べてきたが、第7回から第12回及び第15回の回路では、その一部に外部電圧 $V_{CC}$ が印加されている。したがつて場合によつては $V_{CC}$ の変動を補償するのが困難となるなどの問題を生ずることも考えられる。その場合には、第5回に示したように制御回路3内に電圧変換回路3Aを設けてその出力電圧 $V_1$ を一定に保つことにより内部回路を $V_{CC}$ の変動に対して安定に動作させることができる。この場合、内部電圧 $V_1$ を低く設定すれば、耐圧の低い微細化された素子を安定に動作させることができる。第16回は上記のようにチップ内に電圧変換回路を設けた一実施例である。第16回において5Iは、電圧変換回路3Aより制御回路内の回路3B、および内部回路2へ電圧 $V_1$ を供給するための電源線である。又、ICLは、第11回のMOSトランジスタ $T_{P2}$ 、 $T_{N2}$ のように内部回路内の各回路DRIVの電流を制御する電流制御回路である。本構成によれば、外部電圧 $V_{CC}$ に依らない一定電圧 $V_1$ により微細化された素子を安定に動作させることができ、しかも

各々の回路の機能に応じた所望の速度で動かすことができる。

第17回は、CMOSインバータの動作速度を制御する他の手段を示す実施例である。ここでは、 $T_{P1}$ および $T_{N1}$ の基板SBP1、SBN1の電圧を制御することにより、 $T_{P1}$ 、 $T_{N1}$ のしきい電圧を制御し、その結果としてインバータの動作特性を制御するものである。本実施例は、しきい電圧の変動による特性変化を補償するのに好適である。

第17回では、CMOSインバータについて示したが、BiCMOSインバータなどMOSトランジスタを用いる他の回路にも応用できる。又、このように基板電圧を制御する方式をこれまで述べてきた他の制御法と組合わせることももちろん可能である。

第7回から第17回まででは主にインバータ、ノンインバータNAND回路等駆動回路の特性を制御する方法について述べてきたが、集積回路では、この他に電圧差に応じて出力を出す差動アンプも多用される。以下ではこの差動アンプについて

ての実施例を示す。

第18図は本発明の他の実施例であり、第11図の制御法をMOSトランジスタで構成された差動アンプの動作速度の制御に適用した実施例である。同図でIN1, IN2は差動入力、OUT1, OUT2は差動出力である。本回路においても動作速度は制御条件や使用条件の変動に対して第7図、第11図と同様の傾向で変化する。したがつて、V<sub>CONT</sub>, V<sub>CONT'</sub>を第11図(B)と同様に制御することにより、動作電流が変わり、その結果として動作速度を製造条件や使用条件に応じて制御することができる。この差動アンプの出力電圧は動作電流と負荷MOSトランジスタT<sub>PL</sub>, T<sub>PL'</sub>のオン抵抗の積で決まる。したがつて、動作電流を決めT<sub>NC</sub>のオン抵抗とT<sub>PL</sub>, T<sub>PL'</sub>のオン抵抗の比が一定となるように、V<sub>CONT</sub>, V<sub>CONT'</sub>を制御すれば、動作電流とT<sub>PL</sub>, T<sub>PL'</sub>のオン抵抗の積すなわち出力電圧は一定に保つたままで、動作速度を制御できる。

第19図は第18図のT<sub>NA</sub>, T<sub>NA'</sub>をNPNバ

PチャネルMOSトランジスタ、CCは定電流iを流す定電流源である。本実施例によれば、T<sub>PR</sub>のゲート長、しきい電圧、ゲート酸化膜厚などの製造条件、あるいは温度などの使用条件が変動しても、出力5にはT<sub>PR</sub>に一定電流を流すに必要なゲート電圧が常に与えられる。したがつて、第11図～第13図、第15図、第18図～第20図などのV<sub>CONT</sub>発生回路として好適である。これらの回路に適用すると、T<sub>PR</sub>と第11図～第13図、第15図のT<sub>P2</sub>、もしくは第18図～第20図のT<sub>PL</sub>, T<sub>PL'</sub>は良く知られているカレントミラー回路の接続となる。したがつて、T<sub>P2</sub>、もしくはT<sub>PL</sub>, T<sub>PL'</sub>のトランジスタ寸法をT<sub>PR</sub>のそれに対して、適当に選ぶことにより、各回路の動作電流を任意の一定値に制御することができる。

第22図は、第21図をNチャネルMOSトランジスタで構成した実施例であり、第11図～第13図、第15図、第18図～第19図のV<sub>CONT</sub>'の発生回路として最適であり、第21図と同様の効果が得られる。

イポーラトランジスタQ<sub>NA</sub>, Q<sub>NA'</sub>で置換えた実施例であり、第18図と同様の効果が得られると同時に、増幅率が大きくとれるなどの特長を有する。

第20図は第19図の電流制御用トランジスタT<sub>NC</sub>をNPNバイポーラトランジスタQ<sub>NC</sub>と抵抗R<sub>C</sub>で置換したものであり、第18図、第19図と同様に動作速度が制御できる。また、動作電流がより定電流化されるため、増幅率を大きくできる特長も有する。

なお、第18～20図においてV<sub>CC</sub>を印加することが、耐圧もしくはV<sub>CC</sub>の変動による特性変動の点で問題となる場合には第5図のようにチップ内部に設けた電圧変換回路3Aにより所望の電圧を与えればよい。

以上、回路2を構成する種々の要素回路の特性を制御するのに好適な実施例について述べたが、次に、制御回路3の具体的な実施例について述べる。

第21図はその一実施例である。同図でT<sub>PR</sub>は

第23図は第21図と第22図を組み合せた実施例である。本実施例によれば第11図～第13図、第15図、第18図～第19図用のV<sub>CONT</sub>, V<sub>CONT'</sub>を同時に発生でき、しかも、これらの電圧は同一定電流源を基にして発生されるため、相互の整合性の高い極めて安定な電圧を得ることができる。

第24図はPチャネルMOSトランジスタT<sub>PR</sub>とNチャネルMOSトランジスタT<sub>NR</sub>を直列に接続して、V<sub>CONT</sub>を発生した実施例である。本実施例によれば、P, N両チャネルMOSトランジスタの製造条件、使用条件の変動の影響がV<sub>CONT</sub>の値に反映される。したがつて、第7図～第10図のV<sub>CONT</sub>発生回路として好適である。

第25図は第24図の出力に、増幅器7と帰還率βの帰還回路8からなる増幅段を附加した実施例である。本実施例では、その増幅率を充分大きく選ぶと、出力V<sub>CONT</sub>は

$$V_{CONT} = \frac{V_o}{\beta}$$

となり、 $\beta$ を適当に設定することにより、任意の値を得ることができる。したがつて、 $V_o$ で製造条件や使用条件の変動の影響を反映する他に、 $\beta$ に製造条件や使用条件依存性を持たせることにより $\beta$ にその一部あるいは全部の役割を分担させることもできる。

第26図は定電流値 $CC$ の具体的実施例の一つである。同図のように定電流源 $CC_1$ は抵抗 $R_1 \sim R_4$ 、NPNバイポーラトランジスタ $Q_{N1}$ 、 $Q_{N2}$ で構成されている。本実施例では $Q_{N1}$ のベース $B_{N1}$ の電圧は、バイポーラトランジスタの電流増幅率が充分大きく、またエミッターベース間順方向電圧を $V_{BE}$ とすると、 $V_{BE}(R_2 + R_3) / R_3$ の一定電圧となる。

したがつて、

$$i = \left[ \left( V_{BE} \frac{R_2 + R_3}{R_3} \right) - V_{BE} \right] / R_4 \\ = V_{BE} \frac{R_2}{R_2 + R_3} \quad \dots (2)$$

の一定電流が流れれる。 $V_{BE}$ は製造条件の変動の影

ボラトランジスタを用いて実現できる。なお、本実施例は、電流が流入、流出するいずれの形式としても使用できる。

第29図はこの特長を活かして、第23図の回路に上記定電流源を適用したものである。本実施例により、 $V_{CONT}$ 、 $V_{CONT'}$ を同時に出力できる。

第30図は、例えば第26図の定電流源 $CC_1$ のように接地に向つて電流が流れ込む電流源 $CC$ と、PチャネルMOSトランジスタ $T_{PH}$ と $T_{PH'}$ から成るカレントミラー回路により、 $V_{CC}$ から電流が流れ出す形成の定電流源を実現した実施例である。 $T_{PH}$ と $T_{PH'}$ の寸法を同一にすることにより、両者に流れる電流を等しくでき、 $CC$ の出力電流 $i$ と同一値の電流を電源電圧 $V_{CC}$ から外部に出力することができる。これを第22図と同様にNチャネルMOSトランジスタ $T_{NE}$ に入力することにより、 $V_{CONT'}$ を得ることができる。本実施例では、 $T_{PH}$ と $T_{PH'}$ の寸法比を適当に選ぶことにより、 $CC$ の電流値に対して、出力電流を任意に定めることができる。

響を受けにくいので安定な電流を出力できる。

本実施例は接地に向つて外部から $i$ が流れ込む形式であるため、第21図のような回路の定電流源として好適である。

第27図はPNPバイポーラトランジスタを用いて、定電流源を構成した実施例である。電圧、電流の極性が第26図と異なるのみで、動作は全く同一となる。本実施例は電源電圧 $V_{CC}$ から $i$ が流れ出す形式であるため、第22図、第24図、第25図のような回路の定電流源として好適である。

第28図は第27図のように電源端电压から電流が流れ出す形式の定電流源をNPNバイポーラトランジスタで実現した実施例である。本実施例では、 $R_1$ 、 $R_2$ 、 $R_3$ 、 $Q_{N2}$ の動作電流が定電流に加算される問題を有するが、 $Q_{N1}$ の電流増幅率を充分大きくすることにより、その影響は無視できる。

本実施例によれば、 $V_{CC}$ から電流が流れ出す形式の定電流源を、作り易く、高性能のNPNバイ

ボラトランジスタを用いて実現できる。なお、本実施例は、電流が流入、流出するいずれの形式としても使用できる。

第31図は、第30図において $T_{PH}$ と $CC$ によつて発生される電圧を、 $V_{CONT}$ の電圧として供用したものである。本実施例により $V_{CONT}$ 、 $V_{CONT'}$ を同時に発生することができ、第23図と同様に両者の特性を整合性よく制御できる特長を有する。

第32図はMOSトランジスタを用いて、高安定の定電流源を実現する実施例である。

同図で、 $T_{NE1} \sim T_{NE3}$ はNチャネルMOSトランジスタであり、 $T_{NE1}$ は負、 $T_{NE2}$ は正のしきい電圧を有する。 $T_{NE3}$ のしきい電圧は正負のいずれでもよい。 $R_{E1} \sim R_{E3}$ は抵抗、 $7$ は差動増幅器である。

ここで、 $R_{E1}$ 、 $R_{E2}$ の値、および $T_{NE1}$ 、 $T_{NE2}$ の寸法をそれぞれ等しく設定しておけば、 $T_{NE1}$ 、 $T_{NE2}$ に流れる電流が互いに等しくなるように動作する。したがつて、 $T_{NE2}$ のゲート電圧 $V_{10}$ は、 $T_{NE1}$ と $T_{NE2}$ のしきい電圧の差に等しい値の電圧となる。このしきい電圧の差の値は製造条件や使用条件によらず、ほぼ一定に保たれる。

以上の回路において、 $T_{NE3}$ のドレインおよび

ソース電流は等しいので、出力電流*i*は、

$$i = \frac{V_{10}}{R_{ss}} \quad \dots (3)$$

のように表わすことができる。したがつて、 $V_{10}$ と同一の特性を持つ電流出力が得られ、その値は $R_{ss}$ によって任意に制御できる。

本実施例は、たとえば第31図の電流源CCに用いるなど各実施例の定電流源として用いることにより、高安定の特性制御が可能になる。

本実施例によれば、バイポーラトランジスタを用いなくても回路を構成することが可能となるので、MOSトランジスタで構成された集積回路に好適である。

第33図は第21図～第25図および第30図～第31図などの定電流として、さらに好適な実施例を示している。本実施例は、良く知られているバンドギャップジエネレータ回路を定電流源として応用したもので、特に温度、電源電圧などの変動に対して高安定の電流を得ることができる。

同図において $Q_{s1} \sim Q_{ss}$ はバイポーラトランジ

スタ、 $R_{ss} \sim R_{ss}$ は抵抗で、所要の温度特性をもつ定電流*i*を作ることができる。なお、 $i_{ss}$ は抵抗 $R_{ss}$ を流れる電流、 $i_{ss}$ はバイポーラトランジスタ $Q_{ss}$ のコレクタ電流、 $i_{ss}$ はバイポーラトランジスタ $Q_{ss}$ のコレクタ電流である。以下では、出力電流*i*について説明する前に、まず本回路の内部電圧 $V_{11}$ の値と温度依存性につき説明する。なお、以下では簡単のためバイポーラトランジスタのコレクタ電流に較べてベース電流は無視できるものとし、コレクタ電流とエミッタ電流がほぼ等しいものとして説明する。電圧 $V_{11}$ は次式で表わされる。

$$V_{11} = V_{BE}(Q_{s1}) + I_{ss} \cdot R_{ss} + V_{BE}(Q_{ss}) - V_{BE}(Q_{ss}) \quad \dots (4)$$

ここで $V_{BE}(Q_{s1})$ 、 $V_{BE}(Q_{ss})$ 、 $V_{BE}(Q_{ss})$ はそれぞれバイポーラトランジスタ $Q_{s1}$ 、 $Q_{ss}$ 、 $Q_{ss}$ のベース・エミッタ間順方向電圧である。

(4)式において電流 $I_{ss}$ は次式で表わされる。

$$I_{ss} = (V_{BE}(Q_{ss}) - V_{BE}(Q_{ss})) / R_{ss} \quad \dots (5)$$

ここで、バイポーラトランジスタ $Q_{ss}$ と $Q_{ss}$ の

エミッタ面積を適当にえらぶことによりバイポーラトランジスタ $Q_{ss}$ の電流密度をバイポーラトランジスタ $Q_{ss}$ のn倍に設定すれば、

$$I_{ss} = \frac{1}{R_{ss}} \cdot \frac{kT}{q} I_{ss} \quad \dots (6)$$

が成立する。(6)式で、kはボルツマン定数、Tは絶対温度、qは電子の電荷である。(4)～(6)式より

$$V_{11} = V_{BE}(Q_{s1}) + \frac{R_{ss}}{R_{ss}} \cdot \frac{kT}{q} I_{ss} + V_{BE}(Q_{ss}) - V_{BE}(Q_{ss}) \quad \dots (7)$$

が成立する。したがつてバイポーラトランジスタ $Q_{ss}$ と $Q_{ss}$ のエミッタ電流密度が等しくなるよう設計すると第7式の右辺第3項、第4項はキャンセルするので

$$V_{11} = V_{BE}(Q_{s1}) + \frac{R_{ss}}{R_{ss}} \cdot \frac{kT}{q} I_{ss} \quad \dots (8)$$

が成立し、電気 $V_{11}$ の温度依存性は

$$\frac{\partial V_{11}}{\partial T} = \frac{\partial V_{BE}(Q_{s1})}{\partial T} + \frac{R_{ss}}{R_{ss}} \cdot \frac{k}{q} I_{ss} \quad \dots (9)$$

となる。よく知られているように、バイポーラトランジスタのベース・エミッタ電圧は負の温度依存性を持つ。したがつて(9)式より抵抗 $R_{ss}$ 、 $R_{ss}$ の比もしくは、バイポーラトランジスタ $Q_{ss}$ と $Q_{ss}$ のエミッタ電流密度の比を変えることによって、 $\frac{\partial V_{11}}{\partial T}$ を任意に設定できる。この温度係数を0にした時に得られる $V_{11}$ の値が、シリコン半導体のバンドギャップ電圧とほぼ等しい1.2V前後の値になることから、一般にバンドギャップジエネレータと呼ばれている。

以上の回路において、 $Q_{ss}$ のコレクタ電流とエミッタ電流はほぼ等しいので、出力電流*i*は

$$i = \frac{V_{11}}{R_{ss}} \quad \dots (10)$$

のように表わすことができる。したがつて、 $V_{11}$ と同一の特性を持つ電流出力が得られ、その値は $R_{ss}$ によって任意に制御できる。

本実施例を既に述べた各実施例の定電流源として用いれば、極めて高安定の制御が可能になる。

特に温度に関しては、目的に応じて、定電源の温度係数を0、あるいは正もしくは負の任意の値に設定し、これによって回路の動作特性を任意に制御することができる。

また、本実施例の内部電圧 $V_{11}$ は高安定の定電圧源として使用することもできる。このとき、定電流出力 $i$ が不要な場合はその出力端子を $V_{cc}$ に接続すればよい。

$V_{11}$ は例えば第20図の $V_{CONT'}$ として用いることもでき、その場合には差動増幅器の温度特性を制御することができる。

これまでいくつかの具体的な実施例をあげと、本発明による回路特性の制御法について述べてきた。これらの実施例は容易に実現することができるが集積度を上げるために微細な素子で構成する場合には素子の耐圧が低くなり、外部電圧 $V_{cc}$ を素子に直接依頼することが困難となることもあります。又、外部電圧が変動すると所望の特性を得ることが困難となることもあります。そのような場合には、第4図、第5図、第16図の実施例の

の低い微細素子を用いることができる。又、本実施例は、出力抵抗も $V_1$ となるので、次段に入力される電圧も安定に制御することができ、次段の動作も安定に保つことができる。なお、 $V_{CONT}$ 、 $V_{CONT'}$ 発生回路31、32は複数の回路で共有することができ、その場合でも $T_{Pz}$ 、 $T_{Nz}$ の大きさを回路毎に設定すれば、個々の回路を所望の速度で制御することができる。

次に第4図、第5図、第34図等のようにチップ内部で $V_{cc}$ より低い電圧を発生するのに好適な電圧変換回路の実施例について述べる。

第35図は、上記電圧変換回路の構成を示した一実施例である。ここでAは電圧変換回路、Fは定電圧発生回路、Gは増幅器である。定電圧発生回路Fは、外部電源電圧 $V_{cc}$ より、定電圧 $V_{11}$ を発生する。増幅器Gは上記電圧 $V_{11}$ を増幅して、内部回路2もしくは制御回路の一部3Aに必要な電圧値 $V_1$ を制御線5Iに出力する。ここで電圧 $V_1$ は、定電圧回路Fと増幅器Gとによって様々な特性をもたせることができる。例えば温度依存

ように、チップ内部で安定な電圧 $V_1$ を作り、これを $V_{cc}$ の代わりに用いればよい。このとき場合により $V_{cc}$ を印加しても問題のないところには $V_{cc}$ を印加してもよい。そうすれば電圧 $V_1$ を発生する電圧源の負担が減少するのでより高安定に $V_1$ を保つことができる。第34図は内部電圧 $V_1$ を用いた場合にその動作速度を所望の値に制御するための一実施例を示している。ここでは、第11図に示したCMOSインバータを第21図、第22図の回路で制御する場合例にとり説明するが、これに限らず今まで述べた各種の実施例に応用できる。第34図ではPMOST<sub>Pz</sub>とT<sub>PR</sub>、nMOS<sub>Tz</sub>とT<sub>NR</sub>はカレントミラーを成す。したがつて前記の実施例と同じようにT<sub>PR</sub>に対するT<sub>Pz</sub>のサイズを適当に設定すれば駆動回路DRIVの充電電流を任意の値に設定できる。又、T<sub>NR</sub>に対するT<sub>Nz</sub>のサイズを適当に設定すれば、放電電流を任意の値に設定できる。ここで、PMOST<sub>PR</sub>とT<sub>Pz</sub>のソース電圧および電流源CC<sub>z</sub>の電源電圧 $V_1$ を素子耐圧より低い、値に保てば素子耐圧

性、外部電源電圧依存性を補償すれば、第34図のような回路の出力抵抗を $V_{cc}$ 、温度によらず一定とできるのでより高安定な動作が実現できる。本実施例によれば、定電圧回路の出力電圧 $V_{11}$ を増幅器Gで所望の電圧値に増幅できる。そのため、定電圧回路の出力電圧 $V_{11}$ の値に制限されることなく電圧 $V_1$ の値を設定できる。

第36図に示した実施例は、第35図において増幅器Gを差動アンプGDと、帰還回路Hによって構成したものである。ここで帰還回路Hは、電圧 $V_1$ が所望の値をとるときに出力I<sub>z</sub>に定電圧 $V_{11}$ に等しい電圧が出力されるように設計する。本実施例によれば出力電圧 $V_1$ の変動を帰還回路Hを通して帰還しているため、制御線5Iより供給する電流が時間とともに高速に変化する場合でも出力電圧 $V_1$ の値を精度よく一定に保つことができる。

第37図は、第35図、第36図の実施例における定電圧発生回路Fの具体的な構成例を示したもので第33図に示した電流源においてバイポー

ラトランジスタ  $Q_{ss}$  のコレクタを  $V_{cc}$  に接続した回路である。第 37 図の回路において出力電圧  $V_{11}$  とその温度依存性は(8), (9)式で与えられる。抵抗の比もしくバイポーラトランジスタの電流密度の比を変えることにより温度依存性を設定できることは既に述べた通りである。本実施例を第 35 図、第 36 図に示した実施例の定電圧発生回路 F に用いる場合には、後段の増幅器 G あるいは差動アンプ G D、帰還回路 H の温度特性に合わせて、 $\frac{\partial V_{11}}{\partial T}$  の値を設計することによって、電圧変換回路 A の出力電圧  $V_1$  の温度依存性をゼロもしくは所望の値とすることができます。なお、第 37 図の実施例においては、外部電圧  $V_{cc}$  がバイポーラトランジスタのベース・エミッタ反方向電圧のほぼ 2 倍、約 1.8 V を越えると電圧  $V_{12}$  は  $V_{cc}$  に依らずほぼ一定となる。したがつて本実施例を第 35 図、第 36 図に用いれば、温度依存性、外部電圧依存性のない出力電圧  $V_1$  を容易に得ることができる。

#### G D の具体的な実施例である。

第 38 図においては、端子  $I_1$  に定電圧回路 F の出力電圧  $V_{11}$  が、端子  $I_2$  に帰還回路の出力電圧  $V_{12}$  が印加される。本実施例では、端子  $I_1$ ,  $I_2$  がバイポーラトランジスタのベース電極であるため、ゲインが高く電圧  $V_1$  の変動を小さく押えることができる。なお、第 6 図における P チャネル MOSトランジスタを第 7 図のように抵抗で代用することもできる。この抵抗は、バイポーラトランジスタのベース拡散層で構成することができるため、バイポーラトランジスタのコレクタ用の不純物層内に形成することができる。したがつて回路のレイアウト面積を低減できる。

なお、第 38 図、第 39 図の差動アンプの電流源としては様々な回路を考えることができるが、第 40 図、第 41 図のように 1 個の MOSトランジスタで実現することも可能である。ここで MOSトランジスタ  $T_{161}$ ,  $T_{171}$  のゲートを  $I_1$  に接続した。 $V_{11}$  は前記のように  $V_{cc}$  に対して一定値となるのでこのようにすると  $V_{cc}$  に対してアンプの

ところで、これまで説明してきた実施例のようなお、同一半導体基板中に定電圧回路 F とその他の回路を同時に形成するときには、両者に用いるトランジスタを MOSトランジスタ、もしくはバイポーラトランジスタの一種類に統一した方がプロセス工程が簡略化でき、製造コストの低減が可能となる場合がある。したがつて定電圧回路 F として、第 37 図の実施例のようにバイポーラトランジスタを用いたものではなく、MOSトランジスタを用いたものが望ましいことがある。その場合には、例えば、第 32 図において MOSトランジスタ  $T_{161}$  のドレインを  $V_{cc}$  とした回路の  $V_{11}$  を用いてよいし、あるいは、

OGUEY, Journal of Solid-State Circuit,  
SC-15, Jun. '80

もしくは

BLAUSHILD, Journal of Solid-State Circuit,  
SC-13, Dec. '78

に記載の定電圧発生回路などを用いればよい。

第 38 図は、第 36 図における差動増幅回路

電流を一定に保つことができる。さらにアンプの特性を安定に制御する必要がある場合には、第 18 ~ 第 20 図に示したような回路を用いて種々の制御を行なうこともできる。

第 42 図は、第 36 図における帰還回路 H の具体的な実施例を示したものである。

第 42 図においては、制御線 5 I の電圧  $V_1$  に対して、出力端子  $I_2$  には、

$$V_{12} = \frac{R_{s2}}{R_{s1} + R_{s2}} \cdot V_1 \quad \cdots (11)$$

が出力され、第 36 図の差動増幅器に入力される。したがつて、定電圧回路 F の出力電圧を  $V_{11}$ 、制御線 5 I に出力したい所要の電圧を  $V_{10}$  として

$$V_{11} = \frac{R_{s2}}{R_{s1} + R_{s2}} \cdot V_{10} \quad \cdots (12)$$

を満たすように抵抗  $R_{s1}$ ,  $R_{s2}$  を設計すれば  $V_1 = V_{10}$  で  $V_{11} = V_{12}$  となり制御線 5 I の電圧は所要の電圧  $V_{10}$  で安定する。ここで、定電圧回路 F の出力電圧  $V_{11}$  を前記のように温度依存性がゼロになるよう設計すれば、上記電圧  $V_{10}$  の温度依存

性もほぼゼロとすることができます。

なお、必要に応じて  $V_{10}$  に所望の温度依存性をもたらすことが可能なのはもちろんである。

第43図は、第36図における帰還回路Hの他の実施例を示したものである。第43図の実施例においては、制御線5Iを直接抵抗に接続せず、バイポーラトランジスタ  $Q_{11}$  のベース電極に接続した。したがつてバイポーラトランジスタ  $Q_{11}$  によって電流が増幅されるため、第42図よりさらに高速動作が実現できる。またGDの負荷電流も軽減できる。第43図においては(11)式、(12)式は各々

$$V_{12} = \frac{R_{02}}{R_{01} + R_{02}} (V_1 - V_{BE}(Q_{11})) \quad \dots (13)$$

$$V_{11} = \frac{R_{02}}{R_{01} + R_{02}} (V_{10} - V_{BE}(Q_{11})) \quad \dots (14)$$

となるので、(14)式を満たすよう抵抗  $R_{01}$ 、  $R_{02}$  の値を決めればよい。ただし、この場合は(14)式より明らかかなように、

$$V_{10} = \frac{R_{01} + R_{02}}{R_{02}} V_{11} + V_{BE}(Q_{11}) \quad \dots (15)$$

となるため、(15)式第2項のために電圧  $V_{11}$  の温度依存性は、電圧  $V_{10}$  の温度依存性と一致しない。この場合には(15)式より、

$$\frac{\partial V_{10}}{\partial T} = \frac{R_{01} + R_{02}}{R_{02}} \frac{\partial V_{11}}{\partial T} + \frac{\partial V_{BE}(Q_{11})}{\partial T} \quad \dots (16)$$

となるので、所望の  $V_{10}$ 、  $\frac{\partial V_{10}}{\partial T}$  に応じて(15)、

(16)を満たすように設計すればよく、 $\frac{\partial V_{10}}{\partial T}$  をゼロとすることもできるのはもちろんである。

さて、以上のような回路を用いると電源電圧 ( $V_{cc}$ ) が過大になつたとしても、出力電圧を  $V_{cc}$  より低い一定値にできるので微細な電子を破壊から防ぐことができるという利点がある。ところが反面、有効なエージングテストを実施するには必ずしも適さない場合がある。

通常の集積回路では、最終製造工程の後に、通

常動作で用いられる電圧より高い電圧を故意に回路内の各トランジスタに印加し、ゲート酸化膜不良などでもともと故障の発生し易いトランジスタを初期に見つけるエージングテストを実施し、信頼性を保証している。このエージングテストにより不良の発見率を向上させるには、正常な素子が破壊するよりわずかに低い電圧を各素子に印加する必要がある。ところが、上記のようにチップ内部の電圧変換回路を介して一定の電源電圧を供給する構成された集積回路チップでは、内部回路に十分なエージング電圧が加わらない恐れがある。その場合には、第44図に示したように、電圧変換回路で発生する電圧  $V_1$  を、外部電源電圧  $V_{cc}$  が過剰に大きくなつたときに上昇するように設計すればよい。第44図では、外部電源電圧  $V_{cc}$  が  $V_{oi}$  から  $V_{ce}$  までは、内部発生電圧  $V_1$  を一定値  $V_{10}$  に保ち、 $V_{cc}$  が  $V_{ce}$  を起えると  $V_{cc}$  の上昇とともに上昇するようにした。このように  $V_{ce}$  以上に  $V_{cc}$  を上昇させると  $V_1$  も上昇するので、エージングテスト時には  $V_{cc}$  を  $V_{ce}$  以上に

上げるとチップ内の回路に  $V_{10}$  より高い電圧を加えることができる。そのため有効なエージングテストを行なうことができる。

第45図は、第44図に示した電圧特性を実現するための具体的な実施例を示したものである。第45図における定電圧回路Fは、第37図の実施例において出力段Jのバイポーラトランジスタのコレクタと偏子Dの間に抵抗  $R_{111}$  を挿入したものであり、差動増幅器GDと帰還回路Hとは第36図と同様に接続した。

また、バイポーラトランジスタ  $Q_{111}$  のコレクタをバイポーラトランジスタ  $Q_{112}$  のベースに接続し、上記バイポーラトランジスタ  $Q_{112}$  のエミッタを制御線5Iに、コレクタを  $V_{cc}$  に接続した。本回路においては、外部電源電圧  $V_{cc}$  が、出力電圧  $V_1$  の安定点  $V_{10}$  に達した後、バイポーラトランジスタ  $Q_{112}$  がオンするまでは  $V_1$  は  $V_{10}$  に等しく一定で、バイポーラトランジスタ  $Q_{112}$  がオンした後は出力電圧は  $V_{cc}$  とともに上昇する。バイポーラトランジスタ  $Q_{112}$  がオンする点  $V_{ce}$  は

次式で与えられる。

$$V_{CE} = V_{IO} + V_{BE}(Q_{112}) + R_{111} \cdot i_{11} \quad \dots (17)$$

ここで電流  $i_{11}$  は抵抗  $R_{111}$  を流れる電流で次式を満たす。

$$i_{11} = V_{11} / R_{111} \quad \dots (18)$$

よつて、

$$V_{CE} = V_{IO} + V_{BE}(Q_{112}) + \frac{R_{111}}{R_{112}} V_{11} \quad \dots (19)$$

であり、 $V_{CE}$  以上に  $V_{CC}$  が上昇すると  $V_1$  は次式に従つて上昇する。

$$\begin{aligned} V_1 &= V_{CC} - R_{111} \cdot i_{11} - V_{BE}(Q_{112}) \\ &= V_{CC} - \frac{R_{111}}{R_{112}} V_{11} - V_{BE}(Q_{112}) \quad \dots (20) \end{aligned}$$

以上のように本実施例によれば、外部電圧  $V_{CC}$  が  $V_{CE}$  をこえると電圧  $V_1$  が  $V_{CC}$  にともない上昇するため、エージングテストを有効に行なうことができる。

ところで、 $V_{IO}$  の温度依存性をゼロと設計したときの  $V_{CE}$  の温度依存性は、(19)式より

$$\frac{\partial V_{CE}}{\partial T} = \frac{\partial V_{IO}}{\partial T} + \frac{\partial V_{BE}(Q_{112})}{\partial T} + \frac{R_{111}}{R_{112}} \frac{\partial V_{11}}{\partial T} \quad \dots (21)$$

一方、 $V_{CC} > V_{CE}$  での  $V_1$  の温度依存性は

$$\frac{\partial V_1}{\partial T} = - \frac{R_{111}}{R_{112}} \frac{\partial V_{11}}{\partial T} - \frac{\partial V_{BE}(Q_{112})}{\partial T} \quad \dots (22)$$

となる。ここで帰還回路 H に第 4-2 図の回路を用いたときは(12)式より  $\frac{\partial V_{11}}{\partial T} = 0$  ゆえ

$$\frac{\partial V_{CE}}{\partial T} = \frac{\partial V_{BE}(Q_{112})}{\partial T}$$

$V_{CC} > V_{CE}$  で、

$$\frac{\partial V_E}{\partial T} = \frac{\partial V_{BE}(Q_{112})}{\partial T}$$

となる。

通常  $V_{CE}$  の温度依存性は約  $-2 \text{ mV}/\text{C}$  なので  $V_{CE}$  の温度依存性及び  $V_{CC} > V_{CE}$  での  $V_1$  の温度依存性は非常に小さい。又、帰還回路 H に第 4-3 図の実施例を用いた場合は、 $\frac{\partial V_{11}}{\partial T} = 0$  としたと

きに、(14)式より

$$\frac{\partial V_{11}}{\partial T} = \frac{-R_{12}}{R_{111} + R_{12}} \frac{\partial V_{BE}(Q_{112})}{\partial T}$$

となるので、(21), (22)式より

$$\frac{\partial V_{CE}}{\partial T} = \frac{\partial V_{BE}(Q_{112})}{\partial T} - \frac{R_{112} \cdot R_{12}}{R_{112}(R_{111} + R_{12})} \frac{\partial V_{BE}(Q_{112})}{\partial T} \quad \dots (23-A)$$

$V_{CC} > V_{CE}$  で

$$\frac{\partial V_1}{\partial T} = \frac{R_{112} \cdot R_{12}}{R_{112}(R_{111} + R_{12})} \frac{\partial V_{BE}(Q_{112})}{\partial T} - \frac{\partial V_{BE}(Q_{112})}{\partial T} \quad \dots (23-B)$$

となる。ここで(15), (17)式より、

$$\frac{R_{111}}{R_{112}} \cdot \frac{R_{12}}{R_{111} + R_{12}} \text{ を } \eta \text{ とおくと}$$

$$\begin{aligned} V_{CE} &= V_{IO} + V_{BE}(Q_{112}) + \frac{R_{111}}{R_{112}} \cdot \frac{R_{12}}{(R_{111} + R_{12})} (V_{IO} - V_{BE}(Q_{112})) \\ &= (1 + \eta) V_{IO} + V_{BE}(Q_{112}) - \eta \cdot V_{BE}(Q_{112}) \quad \dots (23-C) \end{aligned}$$

が成立する。したがつて例えば  $V_{CE} = 6 \text{ V}$ ,  $V_{IO}$

= 4 V としたときには、 $V_{BE}(Q_{112}) = V_{BE}(Q_{111})$

$$= 0.8 \text{ V} \text{ として } \eta = \frac{3}{8} \text{ となり (23-A), (23-B)}$$

より  $\frac{\partial V_{CE}}{\partial T}$  及び  $V_{CC} > V_{CE}$  での  $\frac{\partial V_E}{\partial T}$  は各々約  $-1.25 \text{ mV}/\text{C}$  及び約  $+1.25 \text{ mV}/\text{C}$  となるので帰還回路 H に第 4-3 図の回路を用いた場合でも  $V_{CE}$  の温度依存性及び  $V_{CC} > V_{CE}$  での  $V_E$  の温度依存性は非常に小さい。さらに第 4-3 図の回路を用いたときに、 $V_{CE}$  の値を  $V_{IO}$  のほぼ 2 倍近傍にとることによって  $V_{CE}$  の温度依存性と  $V_{CC} > V_{CE}$  での  $V_1$  の温度依存性も同時にほぼゼロとすることができる。すなわち、 $V_{BE}(Q_{112}) = V_{BE}(Q_{111})$  とすると(23-C)より  $\eta = 1$  のとき

$$V_{BE} \approx 2 V_{IO} \text{ となり, } \frac{\partial V_{BE}(Q_{112})}{\partial T} \approx$$

$$\frac{\partial V_{BE}(Q_{112})}{\partial T} \text{ として (23-A) より } \frac{\partial V_{CE}}{\partial T} \approx 0$$

$$\text{となる。又, (23-B) より } V_{CC} > V_{CE} \text{ で } \frac{\partial V_1}{\partial T} \approx 0$$

となる。以上述べてきたように、帰還回路 H に

第42回の回路を用いたときも第43回の回路を用いたときにも第44回の電圧特性をほとんど温度変動なく実現することができ、 $V_{cc} \leq V_{ce}$ での通常動作領域においても $V_{cc} > V_{ce}$ におけるエージングテストの領域においても温度依存性のほとんどない電圧 $V_i'$ を発生でき、内部回路群を安定に動作させることができる。

前記したように $V_{io}$ に必要に応じて温度依存性をもたせることももちろん可能である。さらに、エージングテスト領域の温度依存性を $V_{io}$ と独立に設定する必要のあるときには、第37回のように $Q_{111}$ のコレクタを $V_{cc}$ に接続しKのバイアス用に $R_{111}$ と所望の温度依存性をもつ電流源をFとは別に設ければよい。

第45回においては $V_{cc} \geq V_{ce}$ において電圧 $V_i'$ を上昇させるためバイポーラトランジスタ $Q_{112}$ を用いた。しかし、nMOSトランジスタで $Q_{112}$ をおきかえ上記nMOSトランジスタのゲートを端子Kに、ドレインを $V_{cc}$ にソースをEに接続して構成することも可能なのはもちろんで

$$V_H = V_i + V_{BE}(Q_{111}) - V_{BE}(Q_{112}) \quad (V_{cc} > V_i + V_{BE}(Q_{112})) \quad \dots (25)$$

と表わされる。

したがって、本実施例では

$$V_{cc} \geq V_i + V_{BE}(Q_{112}) \quad \dots (26)$$

の領域では $V_i'$ は $V_i$ とほぼ等しくなる。 $V_i$ の発生回路に前述の実施例を用いることにより $V_i'$ の温度依存性も制御することができる。本回路では $5I'$ はバイポーラトランジスタのエミッタに接続されているため、制御線 $5I'$ より大きな電流を供給できる。すなわち回路へ供給する電流が大きい場合にも電圧 $V_i'$ を安定に保つことができる。

第47回は第46回のバイポーラトランジスタをMOSトランジスタでおきかえた例である。本実施例では $V_{TH}(M_{112})$ をMOSトランジスタのしきい電圧として

$$V_{cc} \geq V_i + V_{TH}(Q_{112}) \quad \dots (27)$$

の領域において $V_i'$ はほぼ $V_i$ と等しくなる。MOSトランジスタのしきい電圧は容易にコン

ある。このとき端子KはnMOSトランジスタのゲートに接続されるので電流を供給する必要はない。したがつて、定電圧発生回路の設計が容易にできる。

以上述べてきた実施例によれば、所望の温度依存性をもち、所望の範囲で外部電源電圧にもよらない安定した電圧を制御線 $5I'$ より供給することができる。したがつて、同一チップ内の回路を安定に動作させることができる。しかし、制御線 $5I'$ より供給される電流が特に大きい場合などにおいては、電圧の変動を防ぐためには電圧変換回路Aに電流増幅用のバッファ回路を加えてバッファ回路の出力 $5I'$ を制御線として用いればよい。

第46回は上記バッファ回路の一実施例を示したもので $C_{111}, C_{112}$ は端子N<sub>B</sub>、制御線 $5I'$ の電位変動を小さくするためのキャパシタである。

第46回において $5I'$ の電圧 $V_i'$ は、

$$V_i' = V_{cc} - V_{BE}(Q_{112}) \quad (V_{cc} \leq V_i + V_{BE}(Q_{112})) \quad \dots (24)$$

もしくは

トロールできるので、本実施例では $V_{cc}$ の低いうちから $V_i'$ を $V_i$ と等しくして出力電圧 $V_i'$ の安定化を図ることができる。

上記した2つの実施例では、電圧 $V_i$ と、バッファ回路の出力電圧 $V_i'$ が等しくなる外部電圧の範囲が、(26)式、(27)式で表わされるようにバイポーラトランジスタのベース-エミッタ間の順方向電圧もしくはMOSトランジスタのしきい電圧によって制限されてしまう。したがつて例えば、外部電圧 $V_{cc}$ が4V以上において電圧変換回路の出力電圧 $V_i$ が4Vで一定になるように設計しても、第46回のバッファの出力電圧 $V_i'$ は、 $V_{cc}$ が約4.8V以上にならないと4V一定とならない。そのため外部電圧 $V_{cc}$ に対する内部回路の動作マージンを狭めてしまうこともあります。そのような場合には、第48回に示したようなバッファ回路を用いればよい。第48回は、 $5I'$ をPチャネルMOSトランジスタM141のドレインに接続し、該MOSトランジスタのソースを外部電源 $V_{cc}$ に接続して、ゲートG141

を差動アンプ〇の出力電圧で制御するようにしたものである。ここで、差動アンプの入力端子には、それぞれ電圧変換回路Aの出力電圧 $V_1$ と、本バッファ回路の出力電圧 $V_1'$ を入力した。ここでキヤバシタ $C_{141}$ は出力電圧 $V_1'$ の変動を押えるためのものである。本構成によれば上記差動アンプによって出力電圧 $V_1'$ は、電圧 $V_1$ に等しい値に保たれる。したがつて第46図、第47図の実施例とは異なり、出力電圧 $V_1'$ を外部電圧 $V_{cc}$ によらず電圧 $V_1$ に等しくすることができる所以外部電圧 $V_{cc}$ の広い範囲で安定な電圧を得ることができる。

第49図は、第48図の具体的な回路構成の一例を示したものである。第49図において端子P、 $\bar{P}$ には各々逆相の信号を印加する。以下では、信号Pが高レベル、 $\bar{P}$ が低レベルにある場合について回路動作を説明するが、信号Pが低レベル、 $\bar{P}$ が高レベルにある場合でも同様である。また、本実施例の説明については、 $V_{cc}$ を5V、 $V_1$ を4Vとして説明するが、他の電圧関係にあるときには

も同様である。また、簡単のためバイポーラトランジスタのベース・エミッタ電圧は0.8Vであるとして説明する。 $V_1$ が4Vのとき、バイポーラトランジスタ $Q_{153}$ のベース電位 $V_{B153}$ は1.6Vとなる。このとき、端子5I'の電位 $V_1'$ は4V、バイポーラトランジスタ $Q_{154}$ のベース電位 $V_{B154}$ は1.6Vとなる。ここで $V_1'$ が低下すると $V_{B154}$ も低下し、バイポーラトランジスタ $Q_{154}$ のコレクタ電流は減少する。一方、バイポーラトランジスタ $Q_{153}$ のコレクタ電流は増加するため、抵抗 $R_{151}$ を流れる電流が増加する。その結果MOSトランジスタ $M_{141}$ のゲート $V_{GH141}$ が低下する。よつてMOSトランジスタ $M_{141}$ のドレイン電流が増加して $V_1'$ が上昇して4Vに回復する。逆に、 $V_1'$ が上昇すると $V_{GH141}$ が上昇し、MOSトランジスタ $M_{141}$ がオフして $V_1'$ は下降し4Vに回復する。なお、ここでバイポーラトランジスタ $Q_{153}$ のコレクタと $V_{cc}$ の間にダイオード $D_{153-155}$ が直列に接続されているためコレクタ電位は2.6Vより下がることは

ない。一方、ベース電位 $V_{B153}$ は1.6Vであるためバイポーラトランジスタ $Q_{153}$ のベース電位は常にコレクタ電位より低い。よつてバイポーラトランジスタ $Q_{153}$ が飽和することはない。バイポーラトランジスタ $Q_{154}$ のベース電位は $V_1' - 2.4V$ 、コレクタ電位は $V_{cc} - 2.4V$ であり、通常 $V_1$ は $V_{cc}$ より低いゆえ $Q_{154}$ も飽和することはない。ところで制御線5I'に接続される回路が待機状態にあるときには、5I'より流れる電流は少なくほぼ一定である場合が多い。このときにはアンプに流れる電流をへらしても、 $V_1$ を一定に保つことができ、電流をへらすことにより消費電力を低く押えることができる。そのためには、抵抗 $R_{152}$ の抵抗値を $R_{151}$ より大きくし、MOSトランジスタ $M_{155}$ 、 $M_{156}$ 、 $M_{158}$ のゲート巾を各々 $M_{155}$ 、 $M_{157}$ 、 $M_{158}$ より大きく設定し、かつ5I'に接続される回路が待機時にあるときは端子P、 $\bar{P}$ の電位を各々低レベル、高レベルに切りかえればよい。

なお、第35図～第49図で述べてきた電圧発

生回路の出力 $V_1$ 又は $V_1'$ を第34図の電源など以外に第7図～第10図の $V_{CONT}$ として用いることもできる。前述したように、第35図～第49図の実施例によれば、 $V_1$ 、 $V_1'$ の、外部電圧 $V_{cc}$ 、温度による変動を制御できるので第7図～第10図の回路特性を $V_{cc}$ 、温度について一定に保つことができる。したがつて、製造条件の変動にくらべて特に $V_{cc}$ 又は温度変動が問題となるときには有効である。

これまで、回路動作を制御する具体的な方法について述べてきたが、このうち内部回路の特性を検出して制御する手段としては、第48図のように電圧値を検出するものを中心にして述べた。しかし、場合によつては次のように信号の位相差を検出して制御する方法も使うことができる。

第50図は、第2図の構成による具体的実施例を示している。本実施例では、回路2内の所定の2つのパルス $\phi_1$ 、 $\phi_2$ の位相時間差 $\Delta\phi$ を検出し、これに応じ2の動作を制御し、その動作速度を一定に保つ例である。

同図で  $F/F$  はセリト・リセリト形のフリップフロップであり、 $\phi_1$  と  $\phi_2$  の時間差  $\Delta t$  に等しいパルス幅の信号  $\phi_1$  を出力する。 $S_{W1}$ ,  $S_{Wn}$ ,  $S_{Ws}$  はスイッチ、 $C_1$ ,  $C_H$  は容量、 $V_{REF}$  は参照用の基準電圧である。以下、本回路の動作を同図 (B) を参照しながら説明する。

まず、 $\phi_1$  が入力されると  $\phi_1$  が出力される。これにより  $S_{W1}$  がオンとなり、容量  $C_1$  が定電流  $i$  で充電され  $C_1$  の端子 31 の電圧は徐々に上昇する。 $\Delta t$  時間経過後に  $\phi_2$  が入力されると、 $\phi_1$  は低電位になり、 $S_{W1}$  はオフになる。したがって、31の電圧  $V_{HL}$  は  $\Delta t$  に比例した電圧となる。この電圧は  $\phi_2$  が入力されて  $S_{Ws}$  がオンになると容量  $C_H$  に取り込まれる。ここで、 $C_1 > C_H$  のようにしておけば、32の電圧は  $V_{HL}$  にほぼ等しくなる。一方、 $C_1$  は  $\phi_2$  によって  $S_{Wn}$  がオンとなるため、0Vに放電され、次の動作に備える。 $C_H$  に取り込まれた  $V_{HL}$  は、増幅器 7 によって参照用電圧  $V_{REF}$  と比較され、その差に応じた電圧を 5 に出力し、これにより 2 の動作特性

2 を構成する内部回路 2' の一部で 2 のダミーとして 4 を構成し、その出力  $\phi_1'$ ,  $\phi_2'$  で動作特性を第 50 図と同様の方法で検知し、2 の動作特性を制御する。2' としては第 7 図のようなインバータを用いてリングオシレータを形成してもよいしその他目的に応じて様々な回路形式を選ぶことができる。

本実施例においても第 50 図と同様の効果が得られる。

なお、これまで述べてきた実施例のうち、第 12 図のようにバイポーラトランジスタのベースとコレクタ電流を同一の電源より供給する場合には、バイポーラトランジスタのコレクタ抵抗による電圧降下のために、ベース電位よりコレクタ電位が一時的に低下してバイポーラトランジスタが飽和する恐れのある場合があり得る。このときには、第 52 図のように、コレクタ端子を 2ヶ所設けて、 $C_1$  をバイポーラトランジスタのコレクタ電極として使用し、ベース電流を供給する MOSトランジスタを  $C_2$  に接続すればよい。このよう

を制御する。2 の回路は、第 7 図～第 20 図の如き回路で構成され、その動作特性が 5 の電圧によつて変化するようになつており、最終的には  $V_{REF}$  と  $V_{HL}$  の値が等しくなるように制御される。この結果、2 の回路特性は一定に保たれる。

本実施例では、2 の動作特性を直接検知してその特性を制御するので、予め考慮した変動要因以外によつて特性が変化してもそれに応答することが可能であり、極めて精度よくその特性を制御できる。本実施例の  $V_{REF}$ ,  $i$  は、制御精度を支配するため、高安定の必要があるが、 $V_{REF}$  としては、第 32 図、第 37 図の実施例が使用可能でありまた、 $i$  としては、第 26 図～第 33 図の各実施例が使用可能である。

なお、ここでは、回路 2 の動作特性を  $\phi_1$ ,  $\phi_2$  の時間差で検知したが、他の例えは動作電流量を検知して特性を制御することなども考えられる。

第 51 図は、第 3 図の実施例に第 50 図の実施例を適用したものである。本実施例においては、

にするとバイポーラトランジスタの本来のコレクタ CO の電位より、第 2 のコレクタ電極の電位は低いので、これと MOSトランジスタを通じて接続されたベースの電位はコレクタ CO の電位より高くなることがない。したがつてバイポーラトランジスタの飽和を効果的に防止することができる。本実施例は第 12 図に限らず用いることができる。

第 53 図は、上述した各実施例を DRAM に適用した具体的な実施例である。

同図で MA はメモリセルアレーであり、メモリセル MC が 2 次元的に配列されている。PC はデータ線プリチャージ回路、SA はメモリセルからデータ線に出力される微少信号を増幅するセンスアンプであり、P, N 両チャネル MOSトランジスタで構成される。AB はアドレス入力 A in を内部信号は変換するアドレスバッファ回路、X-Dec & Driv., Y-Dec & Driv. は、それぞれ X デコーダ・ドライバ、Y デコーダ・ドライバである。DP はメモリの動作の特機時のデータ線プリチャージ電圧発生回路、SAD, SAD はセンス

アンプ SA の駆動回路、 WC はデータ入力信号 Din を書き込み信号 WE の指示によってメモリセルに書き込むための書き込み制御回路、 周辺回路は各回路の動作に必要なパルス信号を外部入力 CE に応じて発生する回路、 MA は I/O 線上の読み出し信号を増幅するメインアンプであり、 ここでは第 19 図に示した実施例を適用している。 3 は製造条件、 使用条件などの変動に応じた信号を 5 に出力し、 これにより、 各回路の動作を制御し、 特性を安定化する。 各回路は 3 の出力 5 によって制御できるように、 第 7 図～第 20 図のような回路で構成する。

本回路の動作は、 CE が入力されるとメモリ動作が開始され、 Ain が AB によって増幅され X-Dec, Y-Dec に信号を供給する。 その信号に応じて X-Dec & Driv によって 1 本のワード線 W が選択されるとメモリセル内の Cs に蓄えられた情報電荷がデータ線に出力される。 その結果データ線上に微小信号が現われ、 SA により増幅される。 Y-Dec & Driv によって、 選択されたデータ

的にした制御が考えられる。 動作速度を一定に保つ方法は既にいくつか述べた実施例に従えばよい。 メモリセルアレー部の制御法についてはいくつか考えられる。 まず、 メモリセル内の Cs の絶縁膜厚の電界を一定に保つ方法がある。 情報電荷 Qs を大きくして安定に動作するためには Cs は大きい程よく、 より小さい面積で大きい Cs を実現するために、 その誘電体としての絶縁膜の厚さ toxs を半導体チップ内で最も薄くするのが一般的であり、 Cs の絶縁耐圧がチップ内で最も低くなるからである。 この電界 Eoxs を一定に保つて信頼度を補償するためには、 絶縁膜のばらつきに応じて、 SAD, DP, WC などの出力電圧を制御して、 Cs に書き込まれる電圧 Vs を制御すればよい。 このとき、 情報電荷量 Qs は次のように表わされる。

$$\begin{aligned} Q_s &= C_s \cdot V_s \\ &= \frac{\epsilon_{oxs} \cdot A_{oxs}}{t_{oxs}} \cdot V_s \\ &= \epsilon_{oxs} \cdot A_{oxs} \cdot E_{oxs} \end{aligned}$$

タ線信号が I/O, I/O に出力される。 この信号は MA によって増幅され、 Dout として外部に出力される。 書き込み動作は WC を介して、 上記と逆の経路によりメモリセルに信号が書き込まれる。

以上のような構成において種々の目的の制御が可能である。

まず、 回路全体の動作速度あるいは信頼度特性などを一定に保つ制御法があるが、 これについては、 既にいくつかの実施例で説明したように、 制御回路 3 で、 製造条件や使用条件に応じて、 制御対象となる種々の回路に合致した信号を 5 に出力し、 それぞれ制御すればよい。

次に個々の回路毎に目的に応じて制御する方法が考えられる。 特に DRAM ではメモリセルアレー部は最も微細な素子を用いて構成されるため、 他に比べ素子耐圧が低く、 信頼度の低下の問題を生じやすい。 したがつて、 メモリセルアレー部は高信頼化、 その他の回路は動作速度との安定化を目

ここで  $\epsilon_{oxs}$  は誘電率、  $A_{oxs}$  は Cs の面積である。

したがつて、  $E_{oxs}$  を一定に保てば  $Q_s$  も一定に保たれ、 信頼度が向上すると共に、 動作も安定化する。 また、 温度が高くなると、 MC 内の抵抗層リーキ電流が増加するので、 安定動作に必要な最小情報電荷量も大きくする必要がある。 したがつて、 温度が高くなるにつれて、  $Q_s$  、 すなわち、  $E_{oxs}$  を大きくして、 信頼度をさらに向上させる制御法もある。

この場合、 温度上昇とともに MOS トランジスタの  $\beta$  が下がるのでデータ線充放電電流のピーク値をそれほど大きくせずに制御できる。

次にメモリセルの MOS トランジスタに着目した制御法がある。 この MOS トランジスタはチップ内で最も微細でその絶縁膜耐圧、 ホットキヤリア耐圧が他に比べて低くなる場合が多いのである。 MOS トランジスタの各種耐圧はゲート長  $L_g$  が短かく、 ゲート絶縁膜厚  $t_{ox}$  が薄くなる程低下する。 したがつて、  $L_g$  が短かく、  $T_{ox}$  が薄

くなるにつれてワード線、データ線などの印加電圧を小さくするとよい。印加電圧の制御は前に述べたと同様にして行なうことができる。また、前に述べたように温度が下がるとホットキヤリア耐圧も低くなる。したがつて、温度が下がるとワード電圧、データ線電圧などを下げるようすればよい。これにより、安定で高信頼の特性を得ることができる。またここで述べた制御法に上述した  $C_s$  に着目した制御法を組み合わせることも可能である。

以上、説明した実施例によれば、DRAMの動作を種々の目的に応じて制御することができる。なお、前述したようにDRAMでは高集積化を進めるため、微細な素子を使う必要がある。現在は、電源電圧  $V_{cc}$  として5Vを用いているが、今後、4M、16Mビットと高集積化を進めるには素子の耐圧の低下から考えて5Vを直接微細化された素子に印加するのは困難となると予想される。しかし、 $V_{cc}$ を5Vより下げるのは、従来のDRAMとの互換性から考えてユーザーに負担をかけるので

低い  $V_{i'}$  を供給するための比較器OとMOSトランジスタ  $M_{141}$ 、さらにワードドライバ等に  $V_{i'}$  より高い電圧  $V_{ch}$  を供給するための動作時用高電圧発生回路HOP、待機時用高電圧発生回路  $V_{st}$  及びデータ線電圧  $V_o$  とデータ線充電電流をコントロールする駆動回路DRV、DRV'により成る。本構成によれば、 $V_{i'}$  は  $V_i$  と等しく、又、 $V_{ch}$  や  $V_o$  も  $V_{i'}$  を基に決まるため、DRAM内の内部電圧をすべて  $V_i$  で制御できることになる。したがつて、前記の実施例によりメモリセルアレー周辺回路ともに温度および  $V_{cc}$  の変動による特性変化を受けることが少なく非常に動作の安定したDRAMを実現することができる。又、エージングテストを有効に行なえることはもちろんである。なお、第54図の定電圧回路Fに第37図、第45図の実施例を用いたときには次のようにしてその消費電力を低減することも可能である。すなわち、第37図、第45図に示した定電圧回路Fでは、出力電圧  $V_{i1}$  は(15)式のように抵抗の比で決まる。また、エージング電圧特性も(20)式

好ましくない。そこで、DRAMにおいても第4図、第5図などのように制御回路により  $V_{cc}$  より低い電圧を発生させて微細素子を保護した上で、各種の制御を行なうことができる。

第54図は上記のような電源回路を含んで構成した制御回路の一実施例である。第54図において、5I1'は、アドレスバスファ・デコーダ、クロックドライバなどの周辺回路に  $V_{cc}$  より低い電圧  $V_{i'}$  を供給するための制御線、5I2はワードドライバに  $V_{i'}$  より高い電圧  $V_{ch}$  を供給するための制御線、5I3Hおよび5I3Lは、センスアンプSAの駆動回路SAD、SADを制御するための制御線である。なお、ここでは省略するが、第54図において制御回路3にはその他必要な制御回路を含んで構成するのももちろんである。第54図は、安定でエージングテストに適した基準電圧を発生するための定電圧発生回路F、バイポーラトランジスタ  $Q_{112}$ 、比較器GD、帰還回路Hと、基準電圧  $V_i$  を基に、アドレスバスファ、デコーダ、クロックドライバ等に  $V_{cc}$  より

のように抵抗の比によって決まる。そのため抵抗の絶対値によって特性が変化することなく製造ばらつきの影響を受けることも少ない。したがつて抵抗の絶対値を一律にZ倍 ( $Z > 0$ ) することによって抵抗比は不変のまま電流のみを所望の値に設定することができる。電流値を小さくする場合によつては同一半導体基板上の他の回路からのノイズなどの影響を受けやすくなることもありえるが、その場合には、本基準電圧発生回路Fを含む半導体装置が動作状態にあるときには基準電圧発生回路Fに流れる電流を多くしてノイズなどによる電圧変動を防止し、待機状態にあるときは電流を低減して消費電力を低減すればよい。第55図、第56図はそのための具体的な実施例である。第55図においては、基準電圧発生回路Fの正電源端子Dと、外部電源  $V_{cc}$  の間にPMOSトランジスタを設けてある。また、第56図においては基準電圧発生回路Fの接地端子と、接地電源の間にnMOSトランジスタを設けてある。これらの実施例によれば、PMOSトランジスタ

TM200あるいはnMOSトランジスタTM210のゲート電圧を変えることにより、基準電圧発生回路Fの電流値を容易に制御することができる。例えば、第55図の実施例では、ゲート端子200の電位を下げるときPMOSトランジスタM200の抵抗値が下がり基準電圧発生回路Fに流れる電流が増加する。また、ゲート端子200の電位を上げるとPMOSトランジスタM200の抵抗値が上がり基準電圧発生回路Fに流れる電流が減少する。したがって、第55図の実施例によれば基準電圧発生回路Fを含む半導体装置が動作状態にあるときには端子200の電位を下げて、待機状態にあるときには端子200の電位を上げてやれば、動作時にはノイズなどによって電圧値が変動することを防止し、待機時には電流を少なくして消費電力を低減することができる。第56図の実施例においても、半導体装置の動作時には端子210の電位を上げ、待機時には端子210の電位を下げることにより同様の効果を得ることができる。第56図の実施例では、nMOSトランジ

ジスタを使用しているため、第55図の実施例におけるPMOSトランジスタよりゲート巾の小さいものを使うことができ、回路の占有面積を低減することができる。なお、第55図、第56図のように、電源と基準電圧発生回路Fとの間にMOSトランジスタを挿入すると、MOSトランジスタのソースドレイン間の抵抗によって基準電圧発生回路に印加される正味の電圧が減少する。しかし、第37図あるいは第45図の回路の出力電圧V<sub>I'</sub>は、(15)式のように電源電圧に依存せずほぼ一定値を保つため、電圧特性を変えることなく電流を制御することができる。

第54図の制御線5I'を電源として動作するアドレスパシファ、デコーダ、クロックドライバ等の駆動回路としては、第9図から第17図に示したような実施例においてV<sub>cc</sub>をV<sub>I'</sub>としたものを用いればよい。又、必要に応じて第7図、第8図のV<sub>cont</sub>をV<sub>I'</sub>としてもよい。なお、第7図から第17図では、デコーダなどに使うNAND回路などの論理回路を省略したが、例えば第11図

でDRIIVの部分をNANDにおきかえるなどして容易に実現できる。ところで、負荷容量の大きいところにはBICMOS回路を用いることにより高速化を図ることができるが、その場合に第8図、第12図等でバイポーラトランジスタQ<sub>11</sub>の耐圧が十分ある場合にはコレクタをV<sub>cc</sub>のままとしてもよい。そのときには、コレクタ電流はV<sub>cc</sub>より供給されるので、充電電流の大部分はV<sub>cc</sub>より流れてもV<sub>I'</sub>はベース電流のみを供給すればよい。コレクタ電位はバイポーラトランジスタが飽和しない範囲であれば回路特性に余り影響ないためこのようにすると回路特性を安定に保つたまゝ、V<sub>I'</sub>の供給電流を低減できる。これによりV<sub>I'</sub>をさらに安定に保つことができる。

さらに、外部入力信号が直接印加されるアドレスパシファの初段等は、外部入力信号の振幅が不十分な場合には貫通電流が大きくこの部分の電源をV<sub>I'</sub>とするとV<sub>I'</sub>の電流が増加してV<sub>I'</sub>を安定に保つことが困難となる場合もある。その場合には、初段のみをV<sub>cc</sub>で動作させることも可

能である。

次に、第54図においてデータ線の充放電を制御するための一実施例について述べる。

DRAMではデータ対線をメモリセル（1ケのMOSと1ケのキャパシタで構成されるメモリセルなどの例がある）の読み出し情報に応じて、PMOSとnMOSで形成されたよく知られたセンスアンプで充放電することが行われる。このときメモリセルのキャパシタに蓄えられる電荷量Q<sub>c</sub>はデータ線電圧V<sub>DL</sub>とキャパシタの容量C<sub>s</sub>の積となる。DRAMでは上記Q<sub>c</sub>を安定に保つことが信頼性の点より望ましい。したがってデータ線電圧V<sub>DL</sub>を外部電源電圧V<sub>cc</sub>と温度に依存しないようにできれば、外部条件によらず安定で信頼性の高い動作を確信することができる。また同時に動作に悪影響を与えない範囲でV<sub>DL</sub>をV<sub>cc</sub>より低い値に設定すれば消費電力を低減できる。さらに、たとえば最新のメガビットDRAMでは、1024対のデータ線を同時に高速に充電する必要がある。このデータ線の合計の容量は500～

1000 pFにも達するので、過渡電流が問題となるので過渡電流の低減も望ましい。又、データ線の充放電に伴うノイズを低減するためにデータ線の充放電を対称に行なうことが望ましい。

本実施例はデータ線電圧  $V_{CL}$  を前述の電圧変換回路により制御して  $V_{I'}$  と等しくして  $V_{DL}$  の外部電源電圧依存性、温度依存性をなくすと同時に、電圧  $V_{DL}$  を  $V_{CC}$  より低くして消費電力を低減し、さらにデータ線充放電の速度を制御することにより上記過渡電流とノイズを低くするためのものである。以下本実施例を説明する。データ線の充電は pMOS を含んで形成されたセンスアンプであるフリップフロップの共通線 c 2 に接続された駆動回路DRVで行われる。本実施例では、この駆動回路がカレントミラーレンジスタと比較器で構成されていることに特徴がある。カレントミラーレンジスタは、トランジスタ  $Q_1$ 、 $Q_2$  から成る一種のインバータによって制御される。 $Q_2$  がオン、 $Q_1$  がオフの場合は  $Q_2$  と定電流源 ( $i/n$ ) と出力駆動トランジスタ  $Q_D$ との間でカレントミラーレンジスタが形成

線は  $V_{DL}/2$  にプリチャージする。この状態で、選択されたワード線にパルスが印加されると各データ対線には微小な差動の読み出し信号が現われる。この様子を第58図において  $D_o$ 、 $\bar{D}_o$  対称で代表的に示している。その後、nMOSとpMOSで形成されるセンスアンプで、低電圧側は0Vに放電され、高電圧側は  $V_{I'}$  まで充電される。放電はMOSトランジスタ  $T_{N2}$  により行われる。ここでは充電のみを以下に述べる。c 2 は入力パルスを印加することによって駆動される。入力パルスがオン（高電圧が入力）となると、制御回路ANDの出力電圧は高電圧となり、 $Q_D$  のゲート電圧  $V_g$  は定電流源の出力電圧  $V_s$  となり。 $Q_D$  は負荷を一定電流  $i$  で駆動する。この結果、負荷の電圧  $V_o$  は  $V_{I'}/2$  から一定の速度で上昇するが、 $V_{I'}$  を越えると比較器が作動し制御回路ANDの出力は低電圧となり  $Q_1$  がオンし、 $Q_2$  はオフし、 $Q_D$  はオフとなり、 $V_o$  はほぼ  $V_{I'}$  にクランプされてしまう。これによつて各

され、 $Q_2$  がオフで  $Q_1$  がオンの場合は、 $Q_D$  はオフとなる。ミラー回路内の電流源の電流入口を  $i/n$ 、MOSのゲート幅を  $w/n$ 、 $Q_D$  のゲート幅を  $W$  とすれば、 $Q_D$  のオン電流は定電流  $i$  となる。製造プロセスのばらつきによってあるいはゲート長やトランジスタのしきい値電圧が変化しても  $i/n$  を一定にしておけば  $Q_D$  の駆動定電流はほぼ一定となる。ここで定電流源を  $i/n$ 、 $w/n$  としているのは、消費電流を小さく、かつ占有面積を小さくするためであり、 $n$  は大きい方がよい。

比較器は、電圧変換回路の出力電圧  $V_{I'}$ （たとえば4V）と出給電圧  $V_o$  を比較するものである。 $V_{I'} > V_o$  では比較器の出力は高電圧となり、効率  $V_{I'} < V_o$  の場合は低電圧となる。

以上の準備のもとに動作を説明する。

通常のDRAMでは、プリチャージ期間中はデータ対線は  $V_{DL}$  のほぼ半分の値に設定される、いわゆるハーフプリチャージ方式なので、プリチャージ期間は、共通駆動線 c 2 あるいは全データ対

データ対線の一方のデータ線は  $V_{I'}/2$  からほぼ  $V_{I'}$  に充電される。

放電についても  $v$  が印加されると nMOS  $T_{N2}$  と  $T_{N1}$  がカレントミラーをなすので、充電と同様に速度を制御できる。

以上述べた実施例によればデータ線電圧  $V_{DL}$  を  $V_{I'}$  にほぼ等しくできるためデータ線電圧  $V_{DL}$  の温度依存性をゼロとして、外部電源電圧  $V_{CC}$  依存性を所望の範囲でなくすことができる。また、データ線をほぼ一定の電流で充電できるため、過渡電流の増大なしに高速でデータ線を充電できる。また、 $i$  を一定に保つことにより、電源電圧の変動や製造ばらつきなどがあつても、その影響を最小限にすることができる。さらにデータ線電圧は低くおさえられるので消費電力も低減される。さらにデータ線充放電の速度を同じにできるのでノイズを低減できる。

次にワード線の駆動回路の一実施例について述べる。DRAMにおいては、ワード線の電圧をデータ線の電圧よりおよそ2Vほど高くする。デー

タ線の電圧を例えば4Vとすると、ワード線の電圧はおよそ6V必要となり、ワード線をV<sub>cc</sub>の値5V以上に昇圧する手段が必要となる。V<sub>cc</sub>以上に昇圧されたV<sub>H</sub>によりワード線を駆動する回路としては、例えば、第59図の回路を用いることができる。V<sub>H</sub>の発生回路については後に述べる。

まず、第59図の回路の動作を第60図の電圧波形図を用いて説明する。Eが高電位の状態でCが高電位になるとnMOS11を通してFの電位はV<sub>A</sub>-V<sub>T11A</sub>の電位となる。次いでEが低電位になると、12(pMOS)がオンしFの電位はV<sub>H</sub>となる。この結果13(pMOS)がオフ、14(nMOS)がオン、バイポーラトランジスタ15がオフ、16(nMOS)がオンとなり、出力Wは0Vになる。なおFが高電位V<sub>H</sub>に上昇する時、A、Cの電位はV<sub>A</sub>であるので、11はオフであるためFからCへ電流が流出してFの電位が下がることはない。一方、Eが高電位の状態でCが低電位になると11がオンし、FもCと同じ低電位になる。この結果13がオンし、14、

16がオフしノードGがV<sub>H</sub>となり、出力Dが高速に高電位に充電される。この出力の高電位はV<sub>H</sub>-V<sub>BE</sub>である。なおこの回路では第60図の波形に示す様にCが高電位V<sub>A</sub>になつてから、Eが低電位になるまでの期間t<sub>CE</sub>が長いとFの高電位はV<sub>A</sub>-V<sub>T11A</sub>にしばらくとどまるので、13、14に負通電流が流れ、Dが不十分な低電位にとどまる期間が存在する場合がある。したがつて、t<sub>CE</sub>の時間を短かくすることが望ましい。そのためにはCが高電位になると同時にEを低電位に切換えるべきである。これにより上記問題は解決できる。

本回路によれば、出力にバイポーラトランジスタを用いているのでワード線を高速にV<sub>H</sub>-V<sub>BE</sub>に充電することができる。なお第7図において、バイポーラトランジスタ15を用いずに、Gを直接出力としてもよい。このときは出力電圧はV<sub>H</sub>まで上がる所以、所望のワード電圧と等しいV<sub>H</sub>を発生させねばならない。そのためバイポーラを用いるときより電源Gの設計が容易となる。又、MOSトランジスタで構成するため製造プロセスが単純

となるという利点もある。なお、第59図の回路でも第13図のように電源との間にMOSトランジスタをそう入して動作速度を制御することも可能である。

第61図は、電圧V<sub>I'</sub>を基準にV<sub>cc</sub>以上の高電圧を得るための回路の実施例であり、第62図はその動作波形である。以下、第62図を用いて第61図の回路の動作を説明する。

第61図の回路は、DRAMにおいてRAS信号に同期してVCH端子を昇圧する回路である。RAS信号が低レベルとなりDRAMが動作状態に入ったときに第23図に示したように、+z<sub>PS</sub>を低レベル、+z<sub>PS</sub>を高レベルとし、+z<sub>BS</sub>、+z<sub>SA</sub>を高レベルに遷移する。この結果、あらかじめV<sub>cc</sub>と同一電位にプリチャージされていたG1、G2、G3、G4のうち、G1とG2がMOS容量MC<sub>221</sub>、MC<sub>222</sub>によって昇圧され、その結果MOSトランジスタM<sub>220</sub>、M<sub>22A</sub>を通してG1よりG4、G3に電流が流れ、G3、G4の電位が上昇する。このとき、G2がV<sub>cc</sub>以上に昇圧され

ているので、G3、G4の電位はMOSトランジスタM<sub>220</sub>、M<sub>22A</sub>のしきい電圧に制限されなく昇圧することができる。次に+z<sub>BS</sub>と+z<sub>SA</sub>を低レベルに立ち下げて+z<sub>BS</sub>、+z<sub>SA</sub>を高レベルに遷移する。その結果G1、G2が低レベルに遷移しG3、G4は昇圧される。このとき、G2の電位は+z<sub>BS</sub>が高レベルとなるとMOSトランジスタM<sub>22B</sub>がオンするので0Vとなり、MOSトランジスタM<sub>22A</sub>は確実にオフする。このため+z<sub>BS</sub>のタイミングのずれ、あるいはカシブリングノズルなどでG2の電位が上昇することはない。したがつてG3より、MOSトランジスタM<sub>220</sub>を通して電流が流れS12が昇圧される。このとき、MOSトランジスタG4のゲートとS11'の間に、ダイオードを6ヶ直列に接続してあるため、G4の電位は、V<sub>cl</sub>+6V<sub>BE</sub>でクランプされる。その結果、V<sub>H</sub>の電圧は、MOSトランジスタM<sub>22</sub>のしきい電圧をV<sub>T220</sub>としてV<sub>I'</sub>+6V<sub>BE</sub>-V<sub>T220</sub>にクランプされる。例えばV<sub>I'</sub>を4V、V<sub>BE</sub>を0.8V、V<sub>T220</sub>を0.8Vとすると、S

$V$  となる。ここではダイオードを 6 ケ用いたが、この数をかえることにより、 $V_{I'}$  に対して  $V_H$  が一定電圧以上とならないようにすることができる。例えば  $V_H$  にワードドライバを接続した場合にはワード線電圧を所望の値にコントロールすることができる。次に、DRAM の RAS 信号が高レベルとなつたときに、 $\phi_{1S}$ ,  $\phi_{2S}$  を低レベルに戻し、 $\phi_{1PS}$  を高レベル、 $\phi_{2PS}$  を低レベルとする。この結果 MOS 容量 MC<sub>220</sub> により G<sub>5</sub> の電位が昇圧され、pMOS トランジスタ M<sub>221</sub> を通して MOS トランジスタ M<sub>225</sub>, M<sub>226</sub>, M<sub>227</sub>, M<sub>228</sub> のゲート電圧が  $V_{cc}$  以上に昇圧され、これらの MOS トランジスタによって G<sub>1</sub>, G<sub>2</sub>, G<sub>3</sub>, G<sub>4</sub> の電位は  $V_{cc}$  となりはじめの状態にもどる。なお、ここで、MOS トランジスタ M<sub>223</sub> は、M<sub>224</sub> のドレインに高圧がかかるのを防いで M<sub>224</sub> を保護するためのものである。なお、ダイオードを直列に用いた場合には、 $V_{BE}$  に温度依存性があるため、 $V_H$  が温度依存性をもつてしまふ。これを解決するには、 $\phi_{1S}$  ~  $\phi_{2S}$  の振幅を  $V_{cc}$  で

のリーキークを補償する回路を別に設ければよい。そのためには、第 61 図～第 63 図の実施例で容量やトランジスタのサイズを小さくして電流駆動能力を小さくしたもの別に設けて RAS と独立に動作させてもよい。あるいは第 64 図のような回路を用いてよい。以下、第 64 図の回路の動作を第 65 図を用いて説明する。 $\phi_0$  を低レベルとすると、MOS トランジスタ TM<sub>240</sub>, TM<sub>241</sub>, TM<sub>242</sub> によって G<sub>240</sub>, G<sub>241</sub>, V<sub>H</sub> が  $V_{cc}$  近くにプリチャージされる。次に  $\phi_0$  を高レベルに立ち上げるとインバータ I<sub>241</sub> と I<sub>242</sub> の出力は各々高レベル、低レベルとなる。したがつて G<sub>240</sub> が  $V_{cc}$  以上に昇圧され、G<sub>240</sub> へ電流が流れ G<sub>240</sub> の電位が上昇する。次に  $\phi_0$  を低レベルとすると、インバータ I<sub>241</sub>, I<sub>242</sub> の出力は各々低レベル、高レベルとなり G<sub>241</sub> がさらに昇圧され、V<sub>H</sub> へ電流が流れる。以上のように  $\phi_0$  を周期的に立ち上げ立ち下げるにより V<sub>H</sub> の電位は上昇する。V<sub>CH</sub> の上昇とともにダイオード QD<sub>240</sub> ~ QD<sub>248</sub> によって G<sub>240</sub>, V<sub>Q240</sub> の電位も V<sub>CH</sub> - 6  $V_{BE}$  の

なく  $V_{I'}$  としてクランプ回路を省略してもよい。このときに S12 の電圧を所望の値とするには第 63 図のような回路を用いてよい。第 63 図で V<sub>CH'</sub> を第 61 図のような回路で高圧に保てば S12 には

$$V_{REF} \times \frac{R_{S1} + R_{S2}}{R_{S2}}$$

の電圧が出力される。なお、 $V_{REF}$  としては  $V_{I'}$  を用いてよいしバイポーラトランジスタ Q<sub>001</sub> の  $V_{BE}$  の温度依存性をキャンセルするような温度依存性を持つた電圧を印加してもよい。以上説明してきたように、本実施例によれば S12 に  $V_{cc}$  より高い電圧を得ることができる。本実施例では、RAS 信号に同期して DRAM の動作時に V<sub>H</sub> を昇圧するため V<sub>H</sub> から電流を供給する必要のない待機時に昇圧動作によって電力を消費することなく低消費電力動作が可能である。しかし DRAM の使用条件によつては、待機状態が長くつづくことがあり、V<sub>H</sub> の電位が、何らかのリーキークにより低下することも考えられる。その場合には、待機時

関係を保つて上昇する。MOS トランジスタ TM<sub>240</sub> のしきい電圧を  $-V_{T240}$  としたとき V<sub>H</sub> が  $V_{I'} - V_{T240} + 6 V_{BE}$  以上となると、V<sub>Q240</sub> は  $V_{I'} - V_{T240}$  となつて、TM<sub>240</sub> がオンし、D247 の電位は MOS トランジスタ TM<sub>247</sub> により 0V となる。その結果 NAND 回路 NA240 の出力  $\theta_3$  の電位は高レベルに固定され昇圧動作は停止する。その後、制御線 S12 より流出する電流  $I_H$  により V<sub>H</sub> の電位が下がり、 $V_{I'} - V_{T240} + 6 V_{BE}$  以下となると再び M<sub>240</sub> がオンして V<sub>H</sub> の昇圧動作が始まる。

以上のように本回路によれば、V<sub>H</sub> の電位を  $V_{cc}$  より高い  $V_{I'} - V_{T240} + 6 V_{BE}$  に保つことができる。V<sub>I'</sub> は 4V, VT<sub>240</sub> を 0.5V, V<sub>BE</sub> を 0.8V とすると、V<sub>H</sub> は 8.3V となる。以上のように本実施例によれば、チャージポンプ回路と前述したレベルシフト回路を組み合わせることにより、出力電圧 V<sub>H</sub> を  $V_{cc}$  より高い一定の電圧に保つことができる。なお、クランプのためのダイオード QD<sub>240</sub> ~ QD<sub>248</sub> の数を場合に応じて

増減してもよいことはもちろんである。又、場合により  $V_{CH}$  より  $QD_{240} \sim QD_{248}$  を流れる電流が大きすぎる場合には、第66図のように  $QD_{246}$  をバイポーラトランジスタとし、コレクタを  $V_{CC}$  ベースを  $QD_{244}$  の出力につなぐことにより、 $1/n_{hre}$  に上記電流を減らすことができる。なお、ダイオードの個数は電圧  $V_H$  と  $V_I'$  の差が所望の値となるように決めればよい。又、MOSトランジスタ  $TM_{248}$  を抵抗など他の素子で置きかえることができる。MOSトランジスタを用いる場合には、ゲート幅  $W$  に対してゲート長  $L_g$  を大きくとることにより比較的小さい占有面積で容易に高い抵抗値を得ることができる。さらにここでは、ダイオードとして  $p-n$  接合型のダイオードを想定した。 $p-n$  接合型のダイオードは、例えばバイポーラトランジスタのベースとコレクタを接続することにより容易に実現できる。このためバイポーラトランジスタと同時に形成でき、製造工程を簡素化できる。このとき、抵抗もバイポーラトランジスタのベース層を用いて実現すれば、さらに工

程の簡素化ができる。 $p-n$  接合ダイオードの順方向電圧  $V_{BE}$  は、通常  $0.8V$  程度であるために、第1回の実施例では電圧  $V_H$  と  $V_I'$  との差は、 $0.8V$  を単位とした値しか取ることはできないが、場合によつては  $V_H$  と  $V_I'$  との差を  $0.8V$  の  $n$  倍 ( $n = 1, 2, \dots$ ) 以外に設定する必要がある場合もある。そのときには、 $0.4V$  程度の順方向電圧  $V_F$  をもつショットキーダイオードを用いれば、

$$V_H = V_I' - V_{T248} + i V_F$$

となり、 $0.4V$  を単位として  $V_H$  の値を設定できる。又、第67回に示したような  $n$  MOSダイオードを用いてもよいことはもちろんであり、この場合は  $n$  MOS  $T_{HA}$  のしき電圧を  $V_{THA}$  として

$$V_H = V_I' - V_{T248} + i V_{THA}$$

となるので  $V_{THA}$  を単位として電位差を可変にできる。なお、第4回に示すような回路をダイオードのかわりに用いて任意の電位差を作ることもできる。第4回においては、端子3Aと3Bの間の電位差は、

$$V_{BE} \left( 1 + \frac{R_A}{R_B} \right)$$

とできるので、 $R_A$  と  $R_B$  の比をかえることによって連続的に電位差を変えることができる。その他、種々の変形が可能であるが、第69回に示した実施例は、 $n$  MOSのみで第1回のレベルシフト回路  $L$  を構成したものである。本実施例では、クランプのダイオードを  $n$  MOSダイオードとし、バイポーラトランジスタ  $Q_1$ 、抵抗  $R$  をそれぞれ  $n$  MOS  $M_{51}, M_{52}$  でおきかえた。本実施例では、 $V_H$  と  $V_I'$  との関係は、 $T_{H51}$  のしきい電圧を  $V_{TH51}$ 、MOSダイオードのしきい電圧を  $V_{TD}$  として

$$V_H = V_I' - V_{T248} + V_{TH51} + n V_{TD}$$

となり、しきい電圧  $V_{TD}$  を単位として電位差を設定できる。本実施例においては  $n$  MOSダイオード  $MD51 \sim MD54$  を通して流れる電流は  $n$  MOS  $M_{53}$  を通して流れるバイアス電流  $I_N$  のみであるため  $S I 2$  の電流供給能力を必要以上に

大きくする必要がない。さらに、本実施例では、バイポーラトランジスタを用いる必要がなくMOSトランジスタのみで構成されているため、MOSトランジスタのみより成るLSIに適用するのに好適である。MOSトランジスタ  $M_{51}, M_{52}$  のゲート電圧、ゲート長、ゲート幅は、電流  $I_R$  および  $I_N$  が所望の値となるように決めればよい。例えば、 $I_L$  に対して  $I_R$  の値を10倍に設定すれば、MOSトランジスタ  $M_{51}$  のドレイン電流の変動を10%程度に抑えることができ  $V_L$  をほぼ一定に保つことができる。なお、以上の実施例では、クランプ回路の温度特性が問題となる場合には、MOSトランジスタ  $TM_{248}$  のソース電圧に温度依存性をもたせてクランプの温度依存性を補償することもできる。

本発明は、上記のようにDRAMだけでなくSRAMに通用しても有効である。第70回は、 $n$  MOSトランジスタと抵抗を用いて構成したSRAMのメモリセルの一例である。例えば電圧  $V_{C70}$  を本発明の電圧変換回路より供給すれば、

メモリセル特性の温度依存性および外部電源電圧依存性をなくすことができるためソフトエラー耐性が向上するなど非常に安定なメモリ動作を実現できる。このとき、 $V_{C70}$  より供給される電流すなわちメモリセルの保持電流は非常に小さくしかもほぼ一定のDC電流であるので電圧  $V_{C70}$  を一定に精度よく保つことが容易になる。さらに、データ線  $D_L$ 、 $\bar{D}_L$  の電圧すなわち書き込み電圧あるいはワード線  $W$  の電圧を安定に制御すればより信頼性が向上する。そのためには本発明によつて得られる上記電圧  $V_1$  をもとに書き込み電圧を決めれば、温度依存性および外部電圧依存性を無くすことができ、さらに信頼性を高めることができる。その他SRAMの周辺回路に用いる駆動回路、差動アンプについてもこれまで述べてきたような制御を行なうことにより安定で信頼性の高い動作を実現できる。

さらに本発明はメモリ以外の論理LSIにおいても同様である。また、第53図においては、制御回路では、周辺回路の特性を6によつて検知し

合には、それよりもさらに高速になるように制御したり、逆に製造条件、使用条件が、半導体装置を低速にするように変動する場合にはさらに低速にするように制御することもできる。

なお、これまで述べてきた実施例はTTLインターフェースを中心に述べたがECLなど他の場合についても同様に適用できることはもちろんである。

#### 〔発明の効果〕

以上、述べたように本発明によれば、製造条件や使用条件などの変動があつても、安定で高信頼の半導体装置が実現できる。また同時に、量産時に良品の収率を高く保つことができるため、従来の半導体装置に較べて安価に製造できる。

#### 4. 図面の簡単な説明

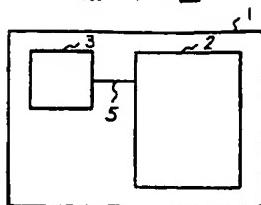
第1図～第6図は本発明の基本概念を示す実施例を示す図、第7図～第52図は本発明の具体的実施例を示す図、第53図～第69図および第70図は本発明をDRAMおよびSRAMへ適用した実施例を示す図。

ているが、この検知は目的に応じて種々の場所によつて行なうことができる。たとえば、ワード線が印加されて、センスアンプ微小信号を増幅するまでの時間を検知して、その結果によつて、SAの駆動電圧、駆動電流を変化させ、アレー部の動作特性を制御するなどの種々の制御する方法もある。また、主な構成素子としてはMOSトランジスタ、バイポーラトランジスタを例にして説明したが、その他のGaAsなどの化合物半導体の素子で構成したものにも、本発明の原理はそのまま適用できる。また、特性の変動要因としては主にMOSトランジスタの素子定数を主に取り上げたが、バイポーラトランジスタの電流増幅率、遮断周波数、順方向電圧などの変動に対しても同様に対処できることは言うまでもない。さらに、各実施例では、諸特性を一定に保つことを主目的として説明したが、本発明を用いれば、目的に応じてたとえばゲート長、しきい電圧などの製造条件による変動や、電源電圧、温度などの使用条件の変動が、半導体装置を高速にするように変動する場

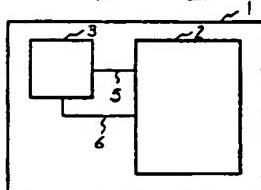
1…チップ、2…内部回路、3…制御回路、5…制御線。

代理人弁理士 小川勝男

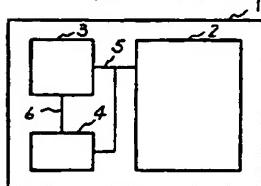
第一回



第 2 因



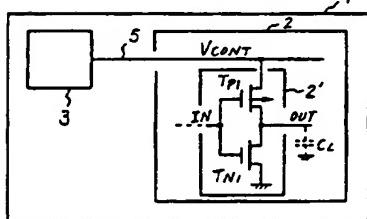
### 第 3 図



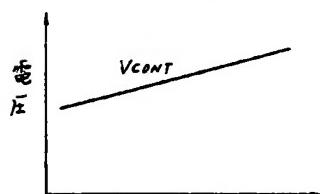
- 1 チップ
  - 2 内部回路
  - 3 割御回路
  - 4 根土回路
  - 5 割御線
  - 6 機知線

第 7 四

(A)



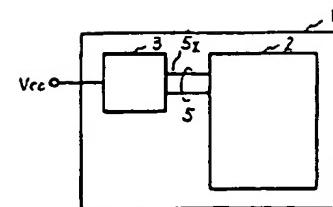
(B)



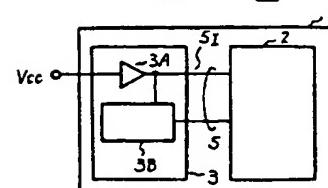
- Lg (J-ト長)  
 VT (しきい電圧)  
 TOX (J-ト酸化膜厚)  
 1/B. (ナノセルコンダクタンス)  
 T (温度)  
 CL (負荷容量)

TP P<sub>DS</sub>和MOSトランジスタのV<sub>cc</sub> 電源電圧 IN 入力  
 TN N. CL 負荷容量 OUT 出力  
 V<sub>COUNT</sub> 制御電圧 2' 単位回路

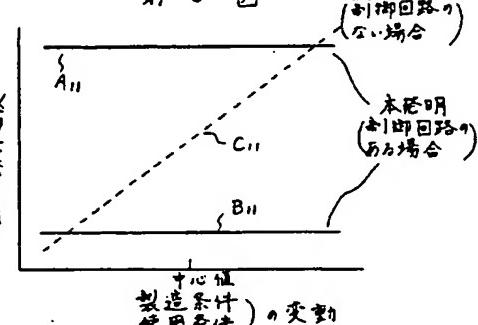
第 4 7



第 5 四

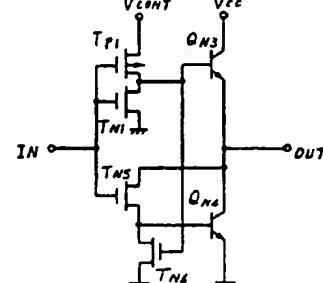


第 6 因

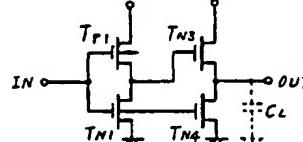


第 8 四

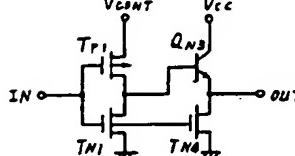
1

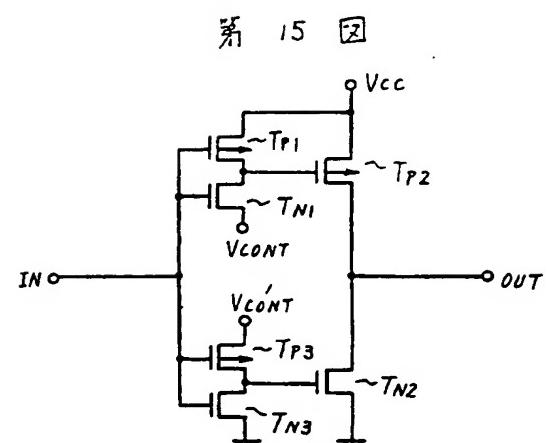
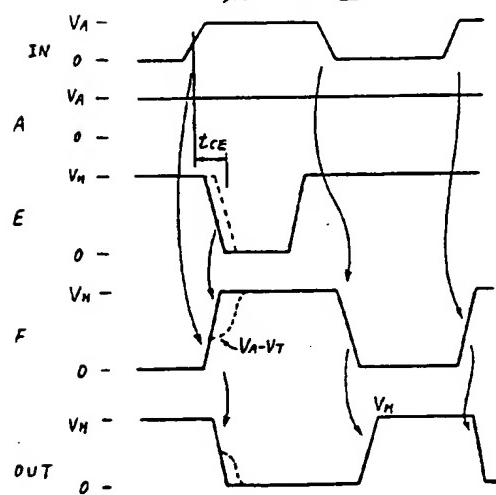
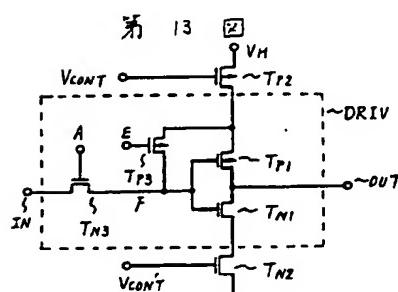
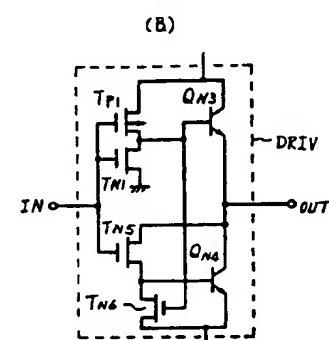
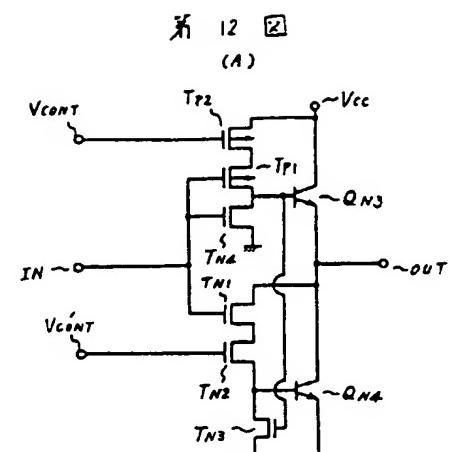
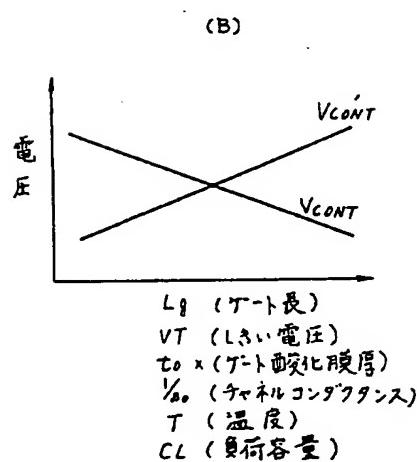
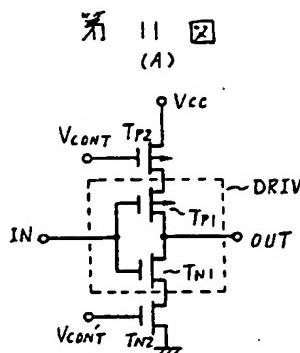


第 9 回

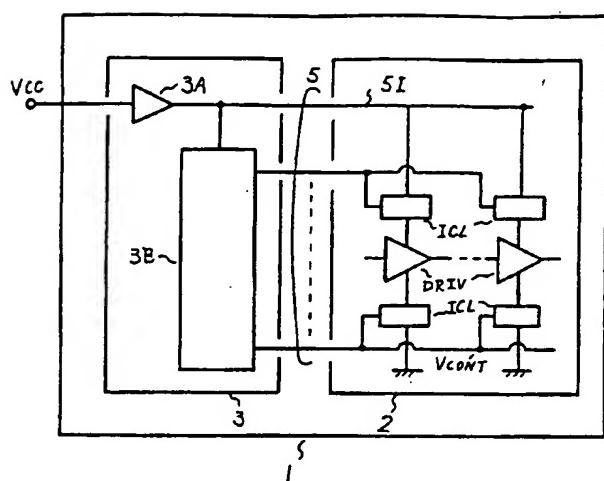


第 10 四

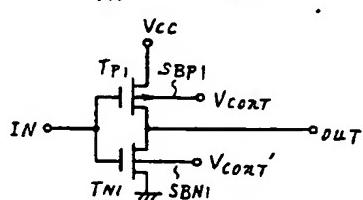




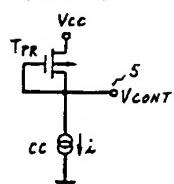
第 16 図



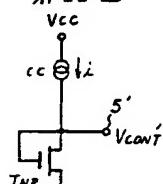
第 17 図



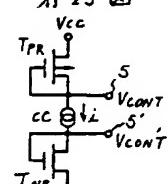
第 21 図



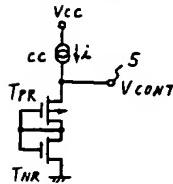
第 22 図



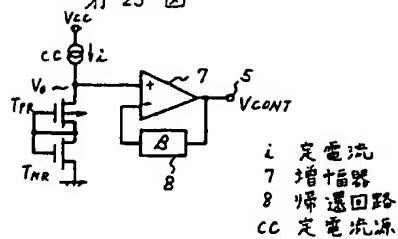
第 23 図



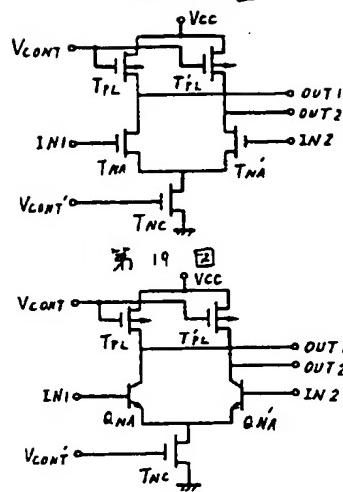
第 24 図



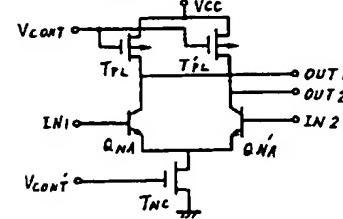
第 25 図



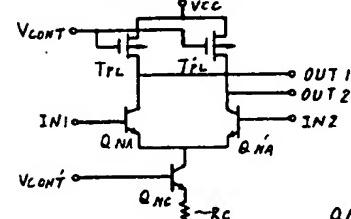
第 18 図



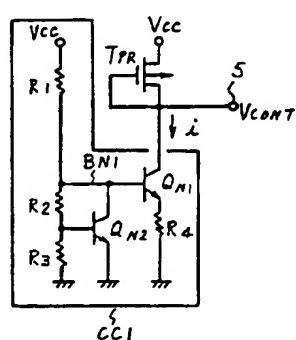
第 19 図



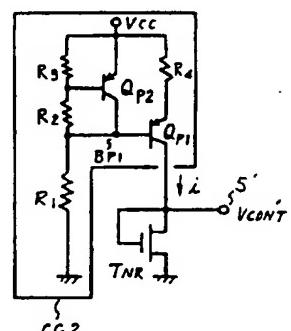
第 20 図

QN NPNトランジスタ  
R 36Ω

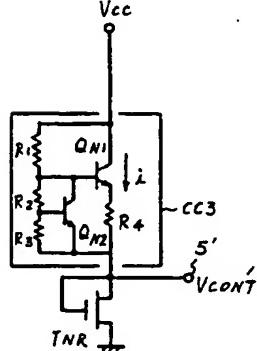
第 26 図



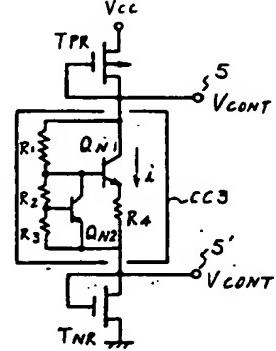
第 27 図



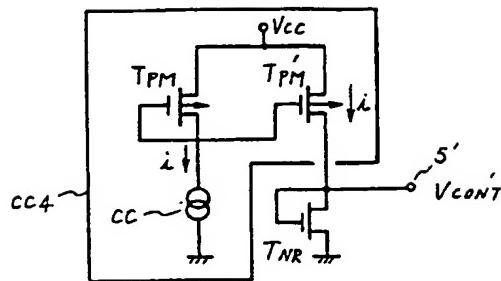
第 28 図



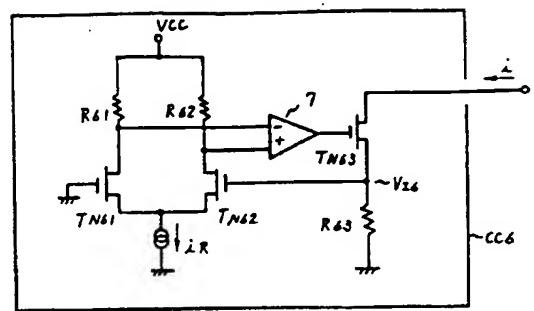
第 29 図



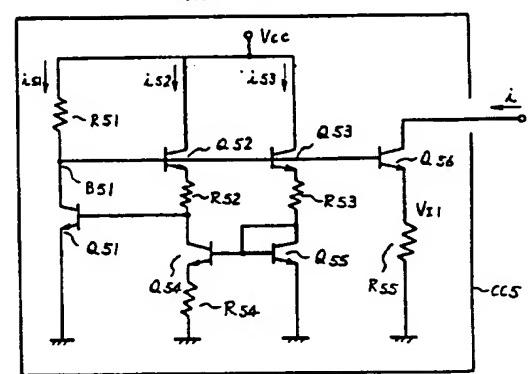
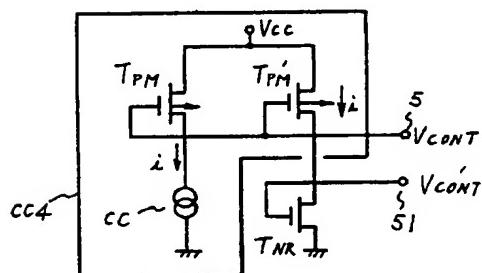
第 30 図



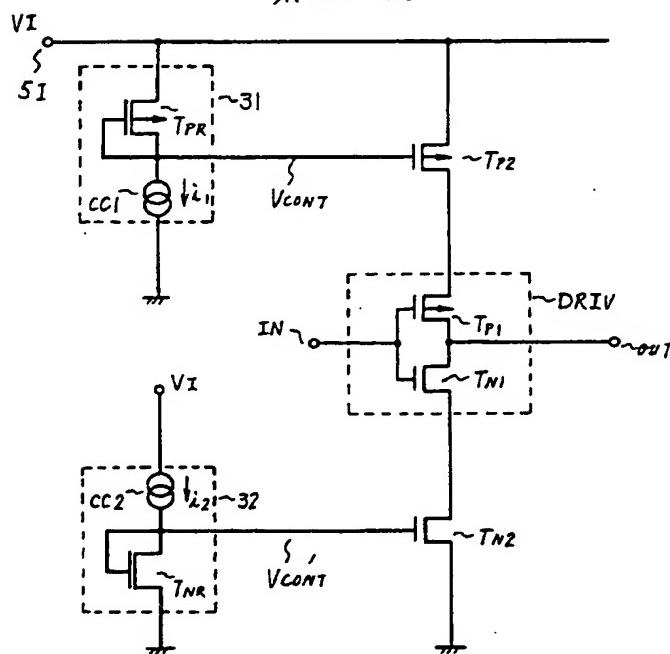
第 32 図



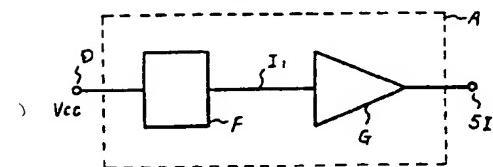
第 31 図



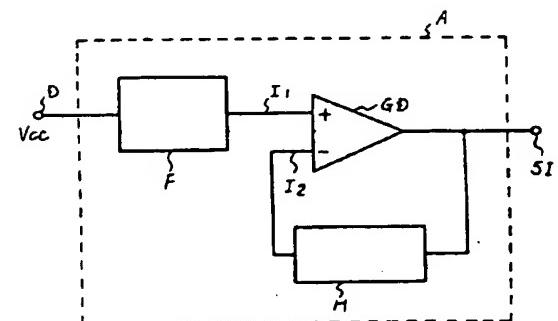
第 34 図



第 35 図

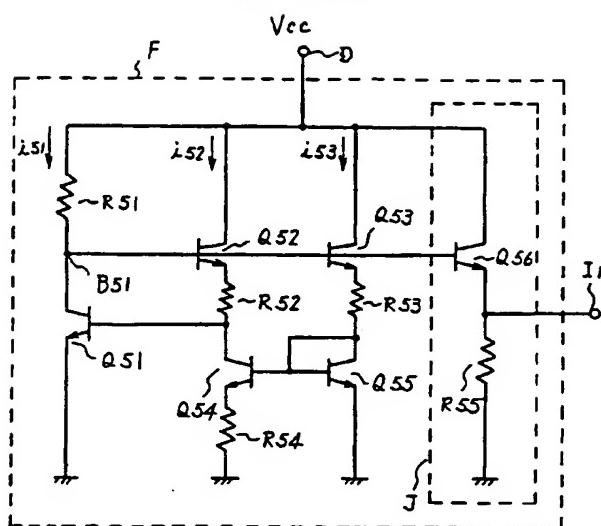


第 36 図



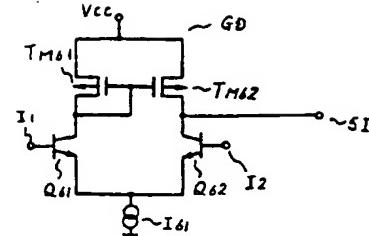
F 定電圧発生回路  
G 増幅器  
H 差動増幅器  
GD 差動増幅器  
I<sub>1,2</sub> 入力端子

第 37 図

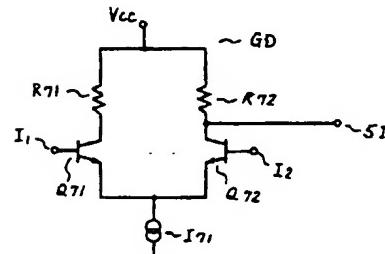


$V_{CC}$  正電源  
 $J$  出力端  
 $Q51 \sim Q56$  バイポーラトランジスタ  
 $R51 \sim R55$  抵抗  
 $I_{51} \sim I_{53}$  電流

第 38 図

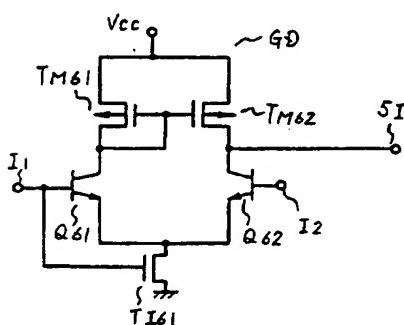


第 39 図

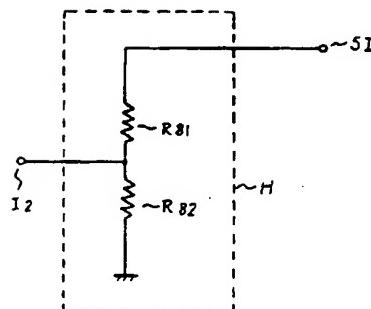


$M_{61}, M_{62}$  MISトランジスタ  
 $M_{71}, M_{72}$  MISトランジスタ  
 $Q_{61}, Q_{62}$  バイポーラトランジスタ  
 $I_{61}, I_{71}$  電流源

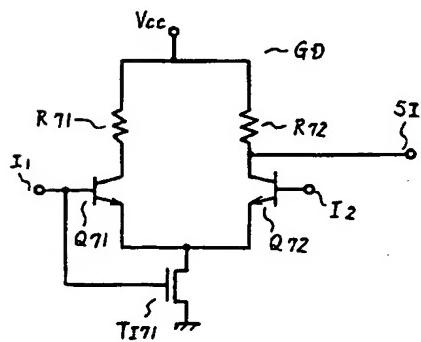
第 40 図



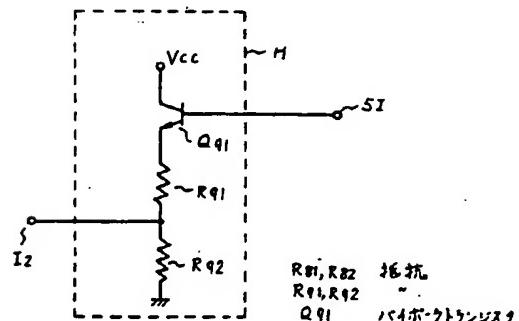
第 42 図



第 41 図

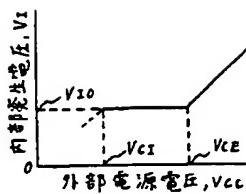


第 43 図

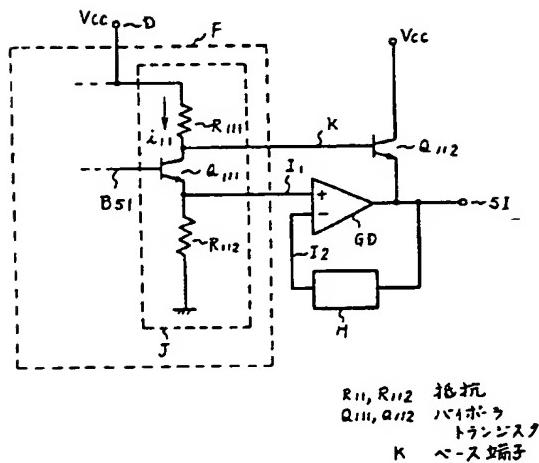


$R81, R82$  抵抗  
 $R91, R92$  バイポーラトランジスタ  
 $Q91$  バイポーラトランジスタ

第44図

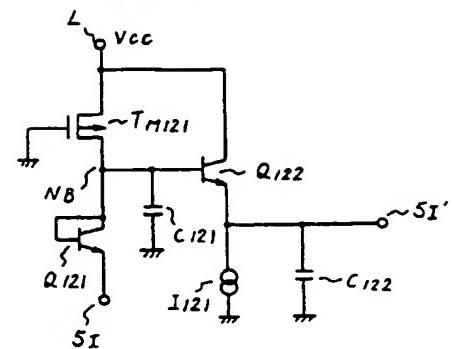


第45図

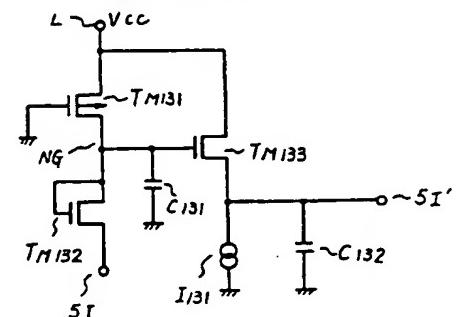


第46図

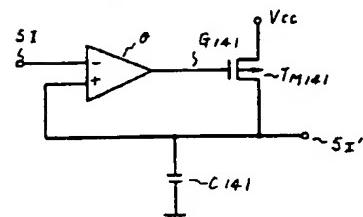
第46図



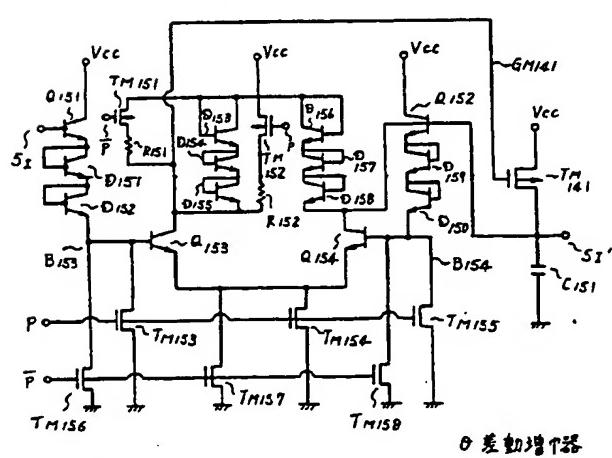
第47図



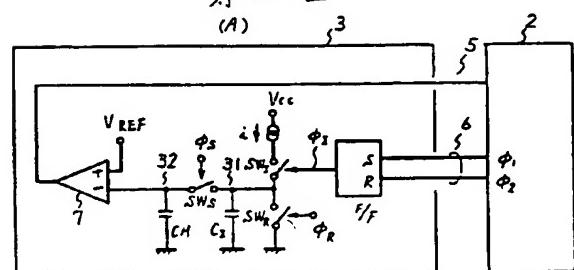
M 内部電源出力源  
NB ベース端子  
NG ジェット端子



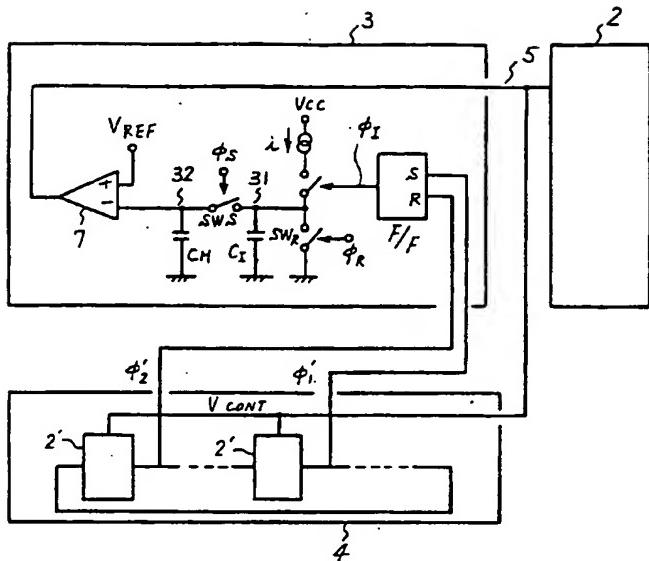
第49図



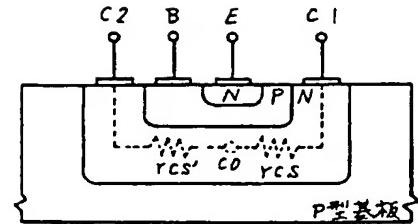
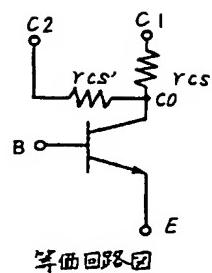
第50図



第 51 図

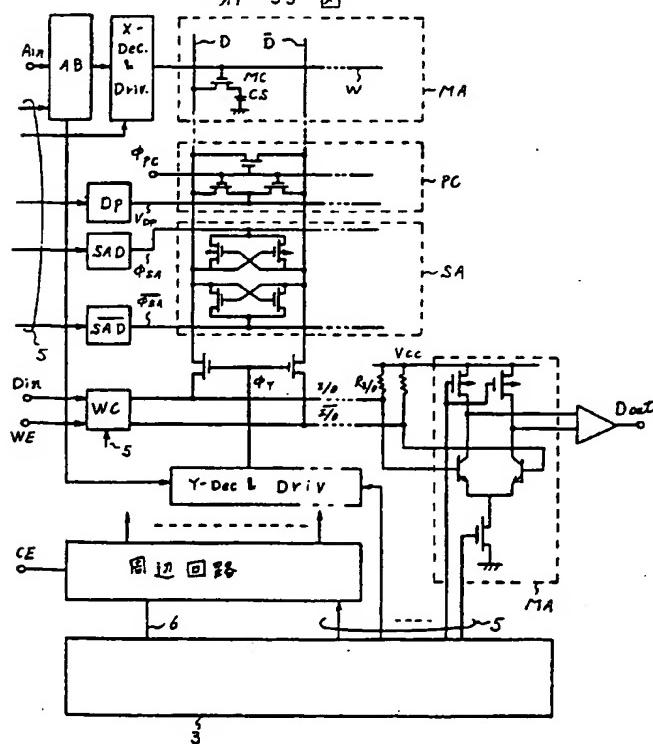


第 52 図



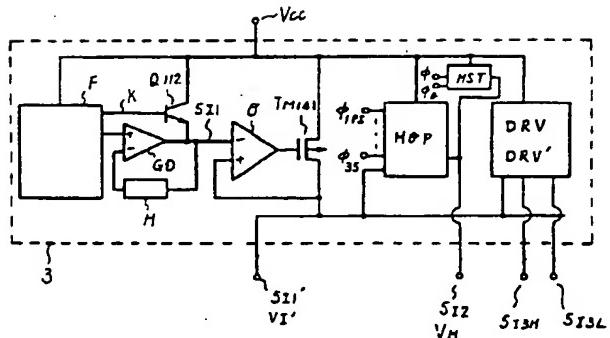
断面図

第 53 図

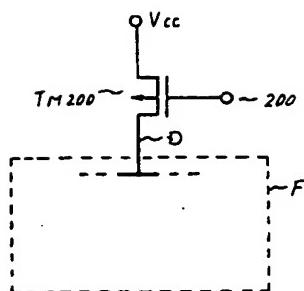


AB フリップフロップ DC フリッカージ回路 WC 音込み回路  
MC ノモセレクタ SA センスアンプ SAD(センスアンプ)  
MA ノモセルア- MA メインアンプ SAD 駆動回路

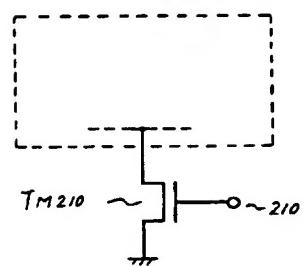
第 54 図



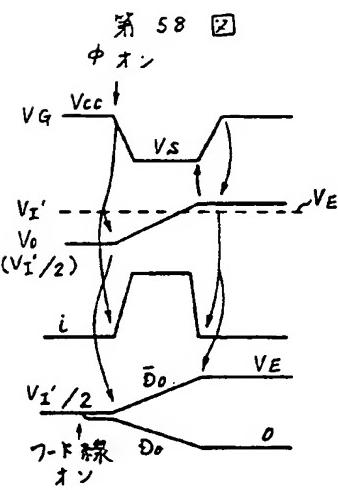
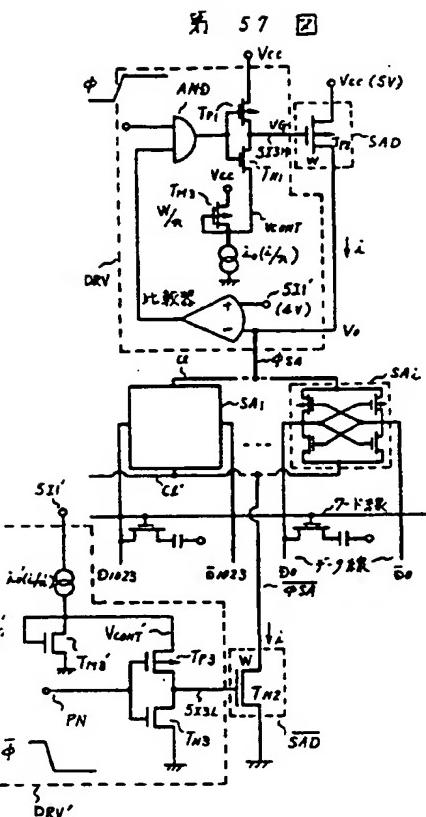
第 55 図



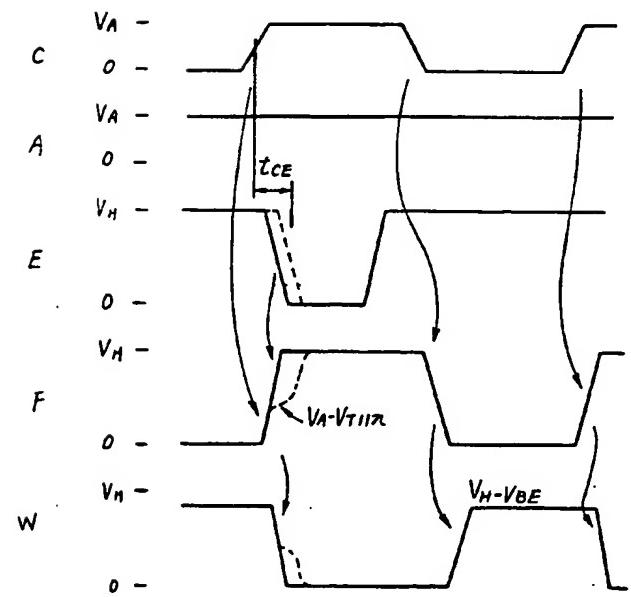
第 56 図

M 200 PMOS トランジスタ  
M 210 nMOS トランジスタ

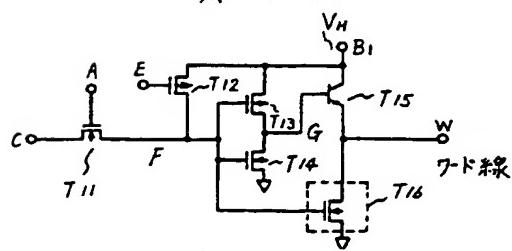
第 57 図



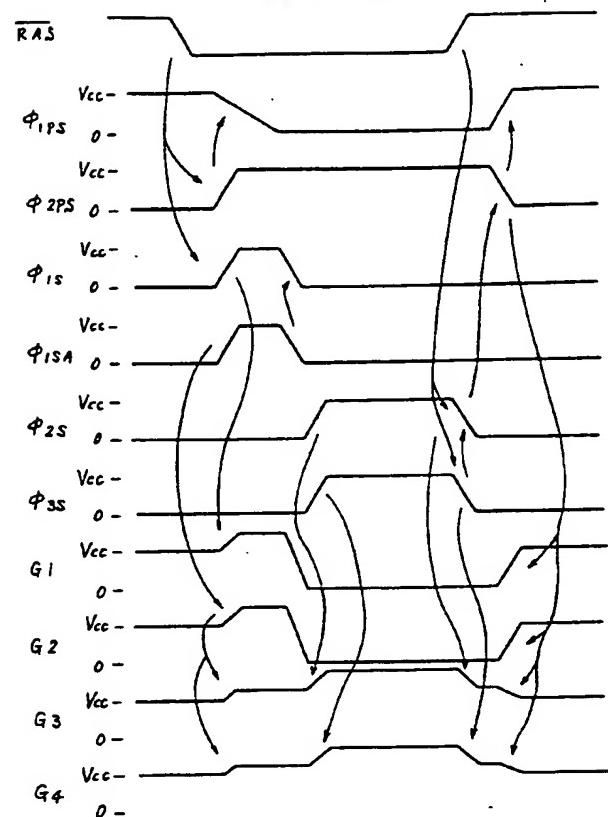
第 60 図



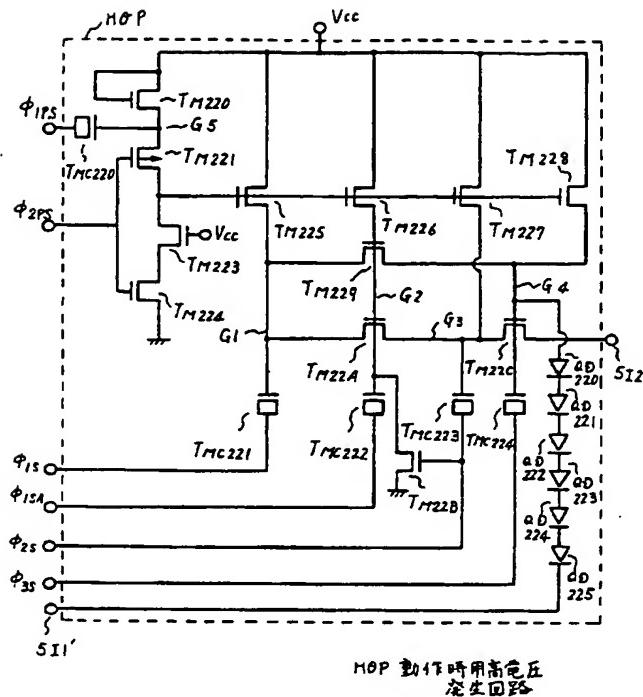
第 59 図



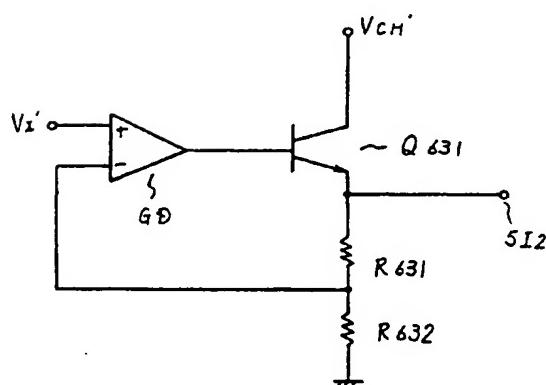
第 62 図



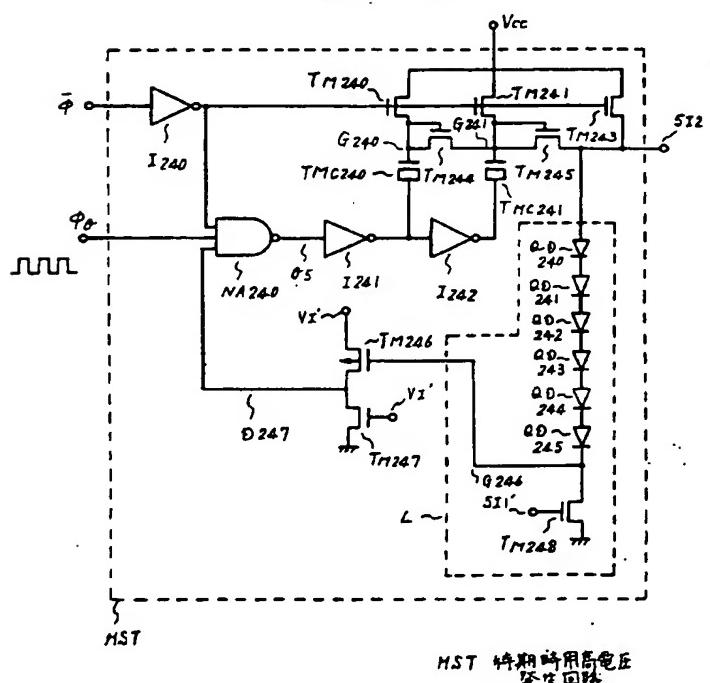
第 61 図



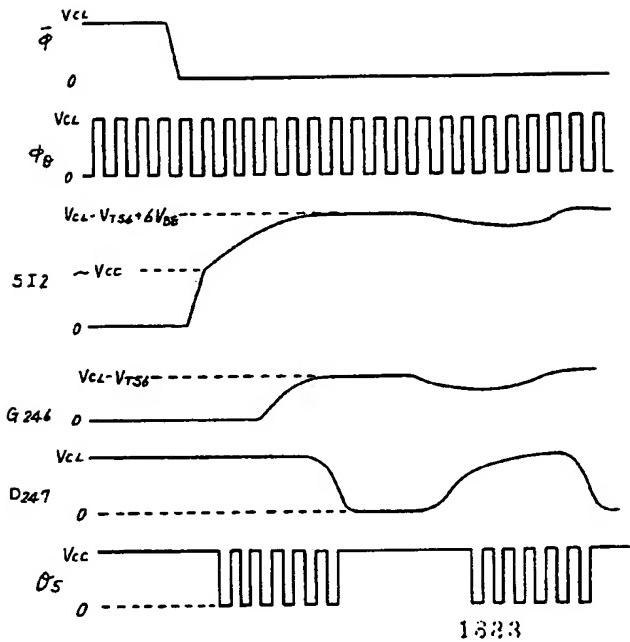
第 63 図



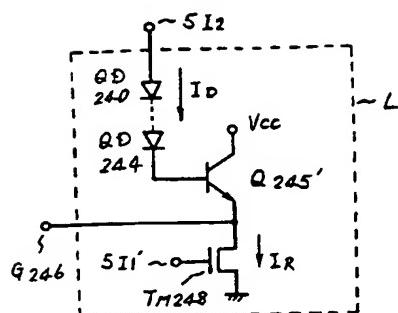
第 64 図



第 65 図

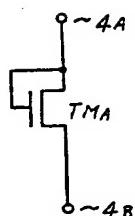


第 66 図

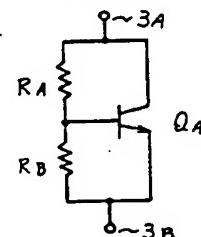


G 電源 R<sub>1</sub> 抵抗  
 D-D<sub>1</sub> ダイオード D<sub>1</sub> パルス・ケーブル

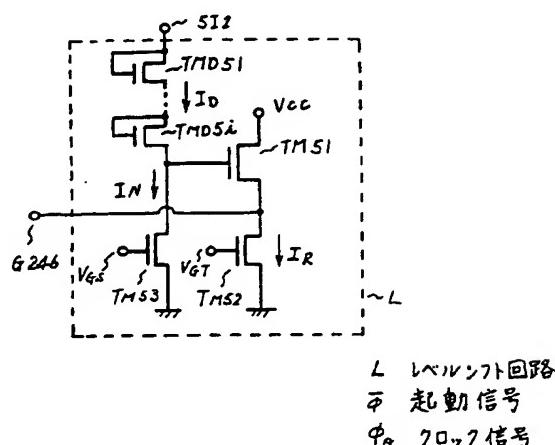
第 67 図



第 68 図

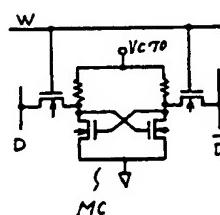


第 69 図



$L$  レベルシフタ回路  
 $\bar{\phi}$  起動信号  
 $\phi$  クロック信号

第 70 図



第1頁の続き

⑤Int.Cl.<sup>5</sup> 識別記号 庁内整理番号

G 11 C 11/413  
H 01 L 27/108

優先権主張 ②昭62(1987)9月9日③日本(JP)④特願 昭62-223921

②昭62(1987)11月27日③日本(JP)④特願 昭62-297546

⑦発明者 橋川五郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 川尻良樹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 河原尊之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**